

OKI 電子デバイス

MSM10S0000ファミリ

0.8 μ m CMOS ゲートアレイ

■ 概要

MSM10S0000ファミリは0.8 μ mCMOSプロセスを用いた2層メタル構造のシーオブゲート（SOG）タイプのゲートアレイです。

このファミリは、6シリーズ構成で使用可能ゲート数は2,310～37,240ゲートまであり、用途に合わせた最適なLSIの選択が可能です。

■ 特長

- 使用可能ゲート数：2,310～37,240ゲート
- 最大総パッド数：280
- 動作電圧：2.7V～5.5V
- 動作温度範囲：-40～+85
- 内部ゲート遅延時間：0.36ns（ $V_{DD}=5V$ ），0.63ns（ $V_{DD}=3V$ ）
[2入力NANDゲート高速タイプ，F/O=2，標準配線長]
- 入出力バッファ遅延時間：2.89ns（ $V_{DD}=5V$ ），5.02ns（ $V_{DD}=3V$ ）
[入力バッファ+出力バッファ， $C_L=20pF$]
- 入力端子のプルアップ/プルダウンが可能
プルアップ抵抗値：約3k/50k Ω ，プルダウン抵抗値：約50k Ω （ $V_{DD}=5V$ ）
プルアップ抵抗値：約6k/100k Ω ，プルダウン抵抗値：約100k Ω （ $V_{DD}=3V$ ）
- 全端子プログラマブル： V_{DD}/V_{SS} /入力/出力/双方向
- 入出力レベル：TTL/CMOS，SCHMITT回路可能
- 出力形式：プッシュプル，3ステート，双方向バス，オープンドレイン，カレントフォース
- 出力駆動能力：2/4/8/12/16/24/48mA（ $V_{DD}=5V$ ），1/2/4/6/8/12/24mA（ $V_{DD}=3V$ ）
- オシレータ最大発振周波数：32MHz（ $V_{DD}=5V$ ），24MHz（ $V_{DD}=3V$ ）
- スルーレートコントロール付き出力バッファ
- 多種多様なパッケージ
- 豊富なマクロライブラリ
ベーシックセル：337種
メモリセル：RAM（1～6ポート各種）/ROM
I/Oセル：215種
メガセル：4種（UART，DMAコントローラ他）
PCMCIAカードコントローラ
- JTAG Boundary Scan

■ ファミリー一覧

● シリーズ構成 [注1]

シリーズ名	10S0050	10S0110	10S0210	10S0300	10S0570	10S0980
使用可能ゲート数	2,310	4,880	9,590	13,620	23,370	37,240
総パッド数	72	100	136	160	216	280

● パッケージメニュー [注2]

	形状	ピン数	シリーズ名					
			10S0050	10S0110	10S0210	10S0300	10S0570	10S0980
パ ッ ケ ー ジ	SSOP	32						
	QFP	44						
		56						
		60						
		64						
		80						
		100						
		128						
		144						
		160						
		208						
	240							
	TQFP	44						
		64						
		80						
		100						
	LQFP	144						
		176						
		208						

- 注記：1. 使用可能ゲート数はロジックゲートのみ搭載した場合ですので目安としてお考えください。
 なお、回路によって違ってくることもありますのでご注意ください。
2. 上記パッケージメニューにつきましては予告なしに変更することがありますので、最新情報は弊社までお問い合わせください。

■ 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V_{DD}	Tj = 25 $V_{SS} = 0V$	- 0.5 ~ + 6.5	V
入力電圧	V_I		- 0.5 ~ $V_{DD} + 0.5$	
出力電圧	V_O		- 0.5 ~ $V_{DD} + 0.5$	
入力電流	I_I		- 10 ~ + 10	
出力電流	I_O	2, 4, 8, 12mA/バッファ	- 25 ~ + 25	mA
		16, 24mA/バッファ	- 50 ~ + 50	
		48mA/バッファ	- 100 ~ + 100	
電源パッド当り流出入電流	I_{PAD}		- 72 ~ + 72	
保存温度	TSTG		- 65 ~ + 150	

■ 推奨動作条件

項目	記号		最小	標準	最大	単位
電源電圧	V_{DD}	3V系	2.7	3.0	3.6	V
		5V系	4.5	5.0	5.5	
トランジスタ ジャンクション温度	Tj [注1]		- 40		85	
入力立ち上がり / 立ち下がり時間 [注2]	tr, tf			2	20	ns
発振周波数	fosc [注3]			32.768		kHz
	fosc [注4]		2		24	MHz
	fosc [注5]		2		32	MHz

注記：1. Tjの許容最大値：125 を超えない範囲で使用してください。（チップ設計に当たってのTjの詳細な見積りについては、弊社発行のASICデザインマニュアルをご参照ください。また、特殊な場合として、Tj > 85 で使用する場合は弊社までご連絡ください。）

2. 応用上、遅い入力が必要な場合は弊社までご連絡ください。なお、その場合端子周辺的环境に依存しますので出力バッファの同時動作など考慮の上ご使用ください。
3. 発振用マクロセルWOSC2F使用時。3V系、5V系共通。
4. 発振用マクロセルWOSC5F，WOSC8H使用時。 $V_{DD} = 2.7 \sim 3.6V$ の場合。
5. 発振用マクロセルWOSC5F，WOSC8H使用時。 $V_{DD} = 4.5 \sim 5.5V$ の場合。

■ 電気的特性

- 直流特性 (
- $V_{DD} = 4.5V \sim 5.5V$
- ,
- $V_{SS} = 0V$
- ,
- $T_j = -40 \sim +85$
-)

項目	記号	条件	最小	標準 [注1]	最大	単位
"H"レベル入力電圧	V_{IH}	TTLレベル入力	2.2		$V_{DD} + 0.5$	V
		CMOSレベル入力	$0.7 \times V_{DD}$		$V_{DD} + 0.5$	
"L"レベル入力電圧	V_{IL}	TTLレベル入力	- 0.5		0.8	
		CMOSレベル入力	- 0.5		$0.3 \times V_{DD}$	
TTLレベル	V_{t+}			1.7	2.2	
シュミットトリガ	V_{t-}		0.8	1.3		
入力しきい値電圧	ΔV_t	$V_{t+} - V_{t-}$	0.2	0.4		
CMOSレベル	V_{t+}			3.1	$0.76 \times V_{DD}$	
シュミットトリガ	V_{t-}		$0.24 \times V_{DD}$	1.8		
入力しきい値電圧	ΔV_t	$V_{t+} - V_{t-}$	$0.1 \times V_{DD}$	1.3		
"H"レベル出力電圧	V_{OH}	$I_{OH} = -2, -4, -8,$ $-12, -16, -24mA$	3.7			
"L"レベル出力電圧	V_{OL}	$I_{OL} = 2, 4, 8, 12, 16mA$			0.4	
		$I_{OL} = 24, 48mA$ [注2]			0.5	
"H"レベル入力電流	I_{IH}	$V_{IH} = V_{DD}$ (50k Ω pull down)	20	0.01 100	10 250	μA
"L"レベル入力電流	I_{IL}	$V_{IL} = V_{SS}$ (50k Ω pull up)	- 10	- 0.01	- 20	
		(3k Ω pull up)	- 5	- 1.6	- 0.5	
3 state出力 リーク電流	I_{OZH}	$V_{OH} = V_{DD}$ (50k Ω pull down)	20	0.01 100	10 250	μA
		$V_{OL} = V_{SS}$	- 10	- 0.01		
	I_{OZL}	(50k Ω pull up)	- 250	- 100	- 20	
		(3k Ω pull up)	- 5	- 1.6	- 0.5	mA
静止時 電源電流 [注3]	I_{DDs}	出力開放 $V_{IH} = V_{DD}, V_{IL} = V_{SS}$		0.1	100	μA

- 注記：1. 標準は、 $V_{DD} = 5.0V$, $T_j = 25$ です。
 2. 48mAはオープンドレインのみです。
 3. メモリを搭載していない場合の値です。

● 直流特性 ($V_{DD} = 2.7V \sim 3.6V$, $V_{SS} = 0V$, $T_j = -40 \sim +85$)

項目	記号	条件	最小	標準 [注1]	最大	単位
"H"レベル入力電圧	V_{IH}	TTLレベル入力	1.8		$V_{DD} + 0.5$	V
		CMOSレベル入力	$0.7 \times V_{DD}$		$V_{DD} + 0.5$	
"L"レベル入力電圧	V_{IL}	TTLレベル入力	- 0.5		0.5	
		CMOSレベル入力	- 0.5		$0.3 \times V_{DD}$	
TTLレベル	V_{t+}			1.3	1.8	
シュミットトリガ	V_{t-}		0.5	1		
入力しきい値電圧	ΔV_t	$V_{t+} - V_{t-}$	0.1	0.3		
CMOSレベル	V_{t+}			2.0	$0.76 \times V_{DD}$	
シュミットトリガ	V_{t-}		$0.24 \times V_{DD}$	1.0		
入力しきい値電圧	ΔV_t	$V_{t+} - V_{t-}$	$0.1 \times V_{DD}$	1.0		
"H"レベル出力電圧	V_{OH}	$I_{OH} = -1, -2, -4,$ $-6, -8, -12mA$	2.2			
"L"レベル出力電圧	V_{OL}	$I_{OL} = 1, 2, 4, 6, 8mA$			0.3	
		$I_{OL} = 12, 24mA$ [注2]			0.4	
"H"レベル入力電流	I_{IH}	$V_{IH} = V_{DD}$ (100k Ω pull down)	5	35	120	μA
"L"レベル入力電流	I_{IL}	$V_{IL} = V_{SS}$ (100k Ω pull up)	- 1	- 0.01		
		(6k Ω pull up)	- 120	- 35	- 5	
			- 2000	- 550	- 120	
3 state出力 リーク電流	I_{OZH}	$V_{OH} = V_{DD}$ (50k Ω pull down)	20	100	250	
	I_{OZL}	$V_{OL} = V_{SS}$ (100k Ω pull up)	- 1	- 0.01		
		(6k Ω pull up)	- 120	- 35	- 5	
			- 2000	- 550	- 120	
静止時 電源電流 [注3]	I_{DDs}	出力開放 $V_{IH} = V_{DD}, V_{IL} = V_{SS}$		0.1	10	

注記：1. 標準は、 $V_{DD} = 3.0V$, $T_j = 25$ です。

2. 24mAバッファはオープンドレインのみです。

3. メモリを搭載していない場合の値です。

● 入出力端子容量

項目	記号	最小	標準	最大	単位
入力端子	C_I		6		pF
出力端子	C_O		9		pF
入出力端子	C_{IO}		10		pF

注記：端子容量は、パッケージのピン容量、チップ内部のパッド容量を含んだ平均的な値です。

条件： $V_{DD} = V_I = V_O = V_{SS}$, $f = 1MHz$, $T_j = 25$

● 交流特性 ($V_{DD} = 5.0V$, $V_{SS} = 0V$, $T_j = 25$)

項目		ドライブタイプ	条件	標準値 [注1]	単位	
内部ゲート 遅延時間	インバータ	1 x	入力立ち上がり、 立ち下がり時間 5V/1ns F/O = 2, L = 0mm	0.20	ns	
	2入力NAND	1 x		0.31		
	2入力NOR	1 x		0.34		
	インバータ	1 x	入力立ち上がり、 立ち下がり時間 5V/1ns F/O = 2, 標準配線長	0.57		
				2 x		0.44
				4 x		0.30
	2入力NAND	1 x	5V/1ns	0.68		
		2 x		0.46		
		4 x		0.35		
	2入力NOR	1 x	F/O = 2, 標準配線長	0.84		
		2 x		0.60		
		4 x		0.61		
トグル周波数			F/O = 1, L = 0mm	575	MHz	
入力バッファ 遅延時間	TTLレベル		F/O = 2, 標準配線長	0.83	ns	
	CMOSレベル			0.61		
出力バッファ 遅延時間	プッシュプル	4mA	$C_L = 20pF$	2.06		
		8mA	$C_L = 50pF$	2.10		
		16mA	$C_L = 100pF$	2.20		
		24mA	$C_L = 150pF$	2.50		
出力バッファ 遷移時間 (10 ~ 90%) [注2]	プッシュプル	24mA	$C_L = 150pF$	3.93 (r)		
	スルーレート プッシュプル			3.76 (f)		
				6.34 (r)		
				5.97 (f)		

注記：1. 遅延時間“ t_{pLH} ”と“ t_{pHL} ”の平均として算出。

2. 立ち上がり時間：(r)，立ち下がり時間：(f)

● 交流特性 ($V_{DD} = 3.0V$, $V_{SS} = 0V$, $T_j = 25$)

項目		ドライブタイプ	条件	標準値 [注1]	単位	
内部ゲート 遅延時間	インバータ	1×	入力立ち上がり、 立ち下がり時間 3V/0.6ns F/O = 2, L = 0mm	0.31	ns	
	2入力NAND	1×		0.47		
	2入力NOR	1×		0.52		
	インバータ	1×	入力立ち上がり、 立ち下がり時間 3V/0.6ns	0.87		
				2×		0.67
				4×		0.46
	2入力NAND	1×	F/O = 2, 標準配線長	1.04		
		2×		0.70		
		4×		0.54		
	2入力NOR	1×	F/O = 2, 標準配線長	1.29		
		2×		0.92		
		4×		0.93		
トグル周波数			F/O = 1, L = 0mm	330	MHz	
入力バッファ 遅延時間	TTLレベル		F/O = 2, 標準配線長	1.27	ns	
	CMOSレベル			0.93		
出力バッファ 遅延時間	プッシュプル	4mA	$C_L = 20pF$	3.15	ns	
		8mA	$C_L = 50pF$	3.21		
		16mA	$C_L = 100pF$	3.37		
		24mA	$C_L = 150pF$	3.82		
出力バッファ 遷移時間 (10-90%) [注2]	プッシュプル	24mA	$C_L = 150pF$	6.01 (r)	ns	
	スルーレート			5.75 (f)		
	プッシュプル			9.70 (r)		
				9.13 (f)		

注記：1. 遅延時間“ tp_{LH} ”と“ tp_{HL} ”の平均として算出。

2. 立ち上がり時間：(r)，立ち下がり時間：(f)