

AKM

AK7730A

24bit 2ch ADC 内蔵オーディオDSP

1. 概要

AK7730Aは24ビットのステレオADCを内蔵したオーディオ用デジタルフィルバロックです。内蔵のADCは8kHz～96kHzまでの広いサブリンク周波数に対応したダイナミックレンジも97dB(48kHz)と高性能です。また72kbの遅延データ用のRAMを内蔵していますのでホールミュレーションなどのアプリケーションにも対応できます。AK7730AのDSP部は8～192kHzの各サブリンク周波数に対応し、1サブリンク間にそれぞれ4608ステップ(8kHz)、768ステップ(48kHz)、192ステップ(192kHz)までのプログラム実行が可能です。AK7730AはRAM内のDSPなのでサ운드、ボリュームコントロール、パラメトリックイコライザなどの音場制御を要望に合わせてプログラムすることが可能です。AK7730とピンコンパチブルです。

また、AK7730Aは48pin LQFPの小さなパッケージを採用しているため省スペースが必要なオーディオ等の音場制御用に最適です。

2. 特徴

DSP:

- データ幅: 24-bit (Data RAM)
- 最速サンプリング: 27ns (768fs, fs=48kHz)
- 乗算器: 24 x 16 40-bit
- 除算器: 24 / 24 16-bit または 24-bit
- ALU: 34bit算術演算 (オーバーフローマージン4bit) 24bit 算術・論理演算
- シフト: 1.2.3.4.6.8.15bit 左シフト
1.2.3.4.8.15bit 右シフト...他は間接シフト機能で対応
- プログラム RAM: 768 x 32-bit
- 係数 RAM: 1024 x 16-bit
- データ RAM: 256 x 24-bit
- オフセット RAM: 48 x 13bit
- 遅延用内蔵RAM: 72kbit
(6144 x 12 bit / 3072 x 24 bit / 1024 x 24 bit + 4096 x 12bit)
- サブリンク周波数: 8kHz ~ 192kHz
- マイコン・インターフェース用シリアルポート
- マスタクロック: 768fs@48kHz, 192fs@192kHz (PLLにより内部で256fs,384fsから生成)
- マスタスレーブ動作
- デジタル信号入力ポート(6(8)ch) : 16/20/24-bit, 出力ポート(8ch) : 24-bit

ADC: 2チャンネル

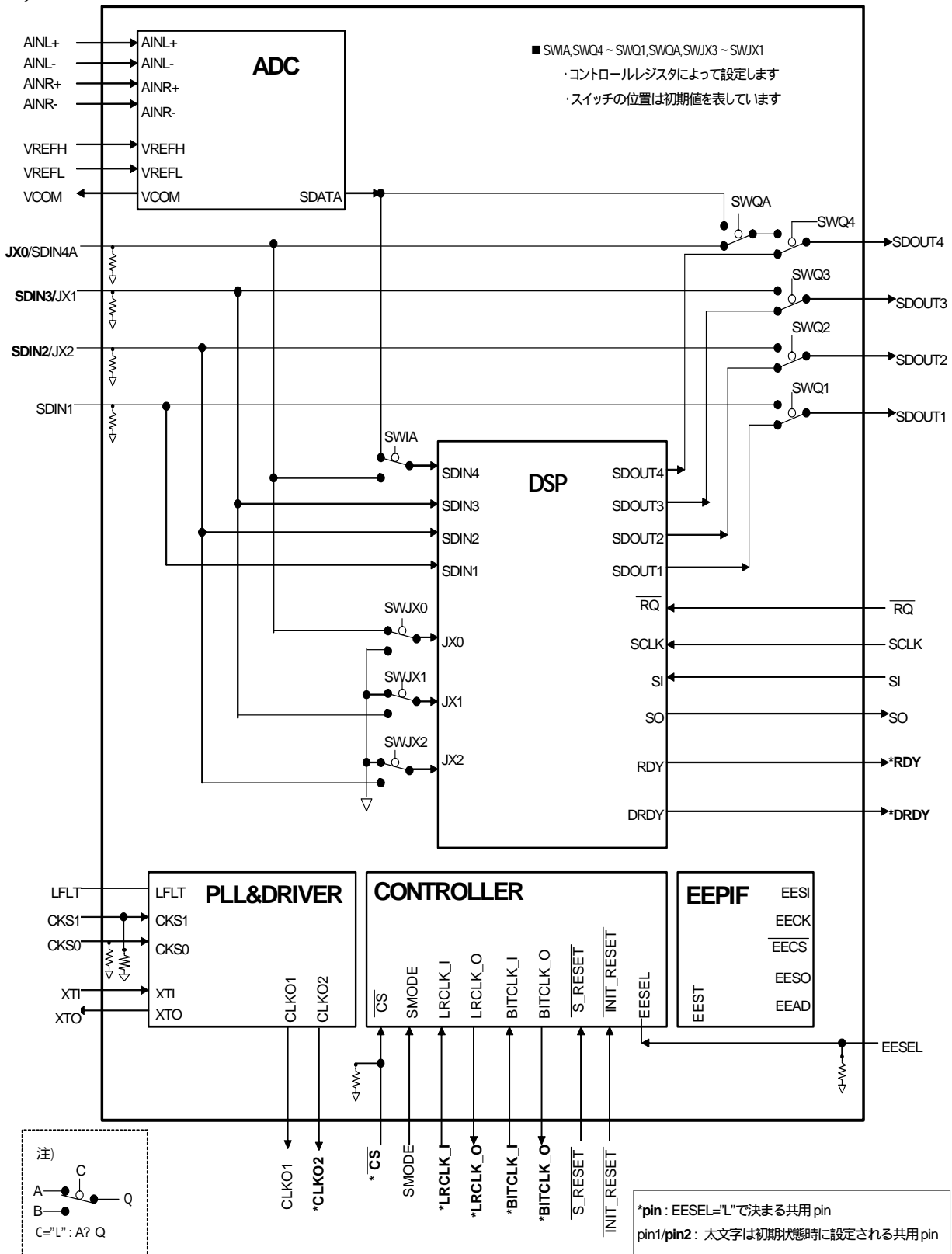
- 24-bit 64 x Over-sampling delta sigma
- サブリンク周波数: 8kHz ~ 96kHz
- DR : 97dBA (fs=48kHzで差動入力使用の場合)
- S/N : 98dBA (fs=48kHzで差動入力使用の場合)
- S/(N+D) : 92dB (fs=48kHzで差動入力使用の場合)
- Digital HPF (fc = 1Hz)

その他

- EEPROMポートアップ機能(2種類のプログラムからの選択可)
- 外部条件ジャンプピン 最大3
- CRCエラーチェック機能付きデータ転送
- スレーブモード時LRCLK,BITCLK入出力別ピン設定
- 電源電圧: +3.3V ±0.3V
- 動作温度範囲: -40°C~85°C
- パッケージ : 48pin LQFP(0.5mm pitch)

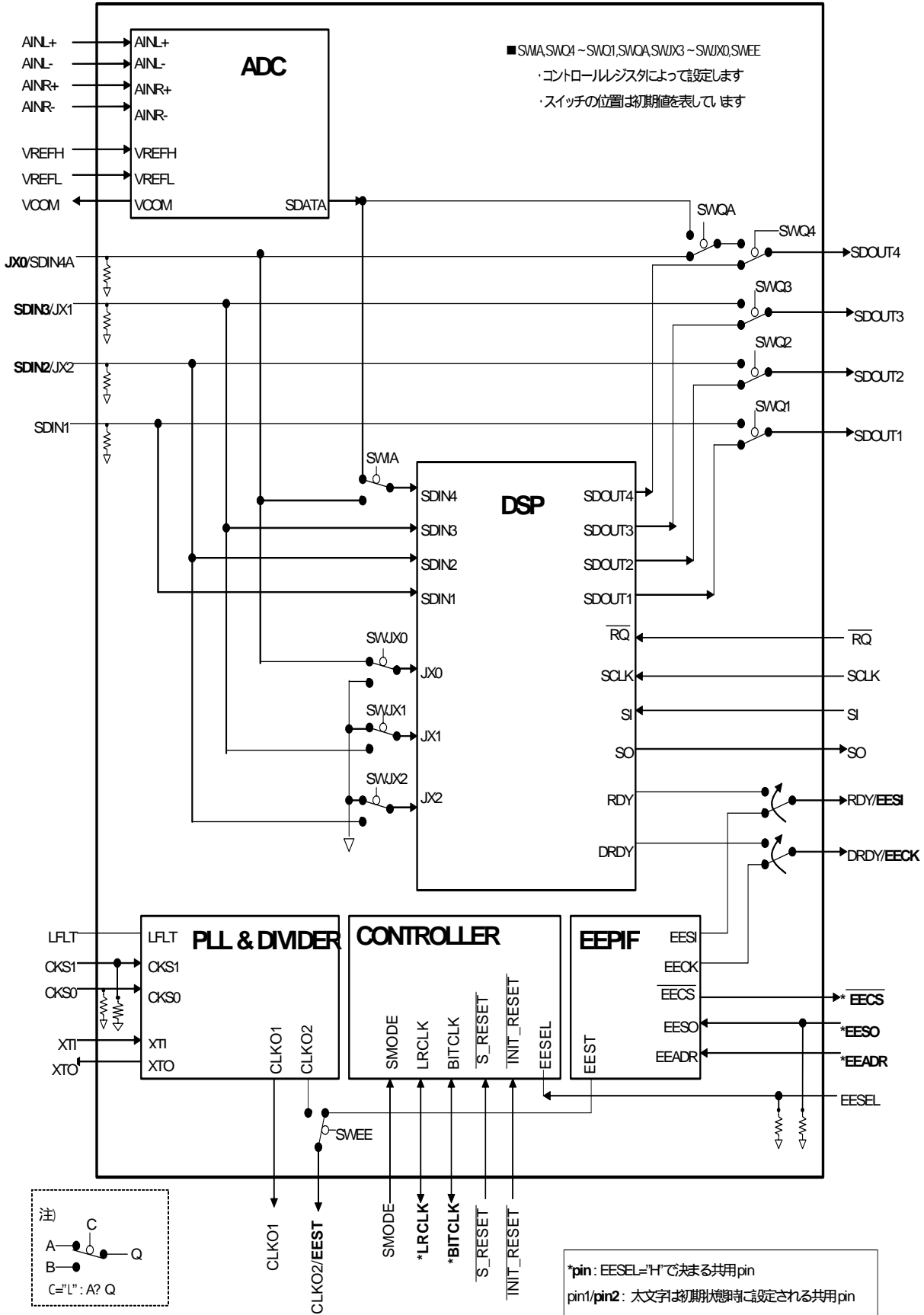
3. ブロック図

1) EESEL="L"



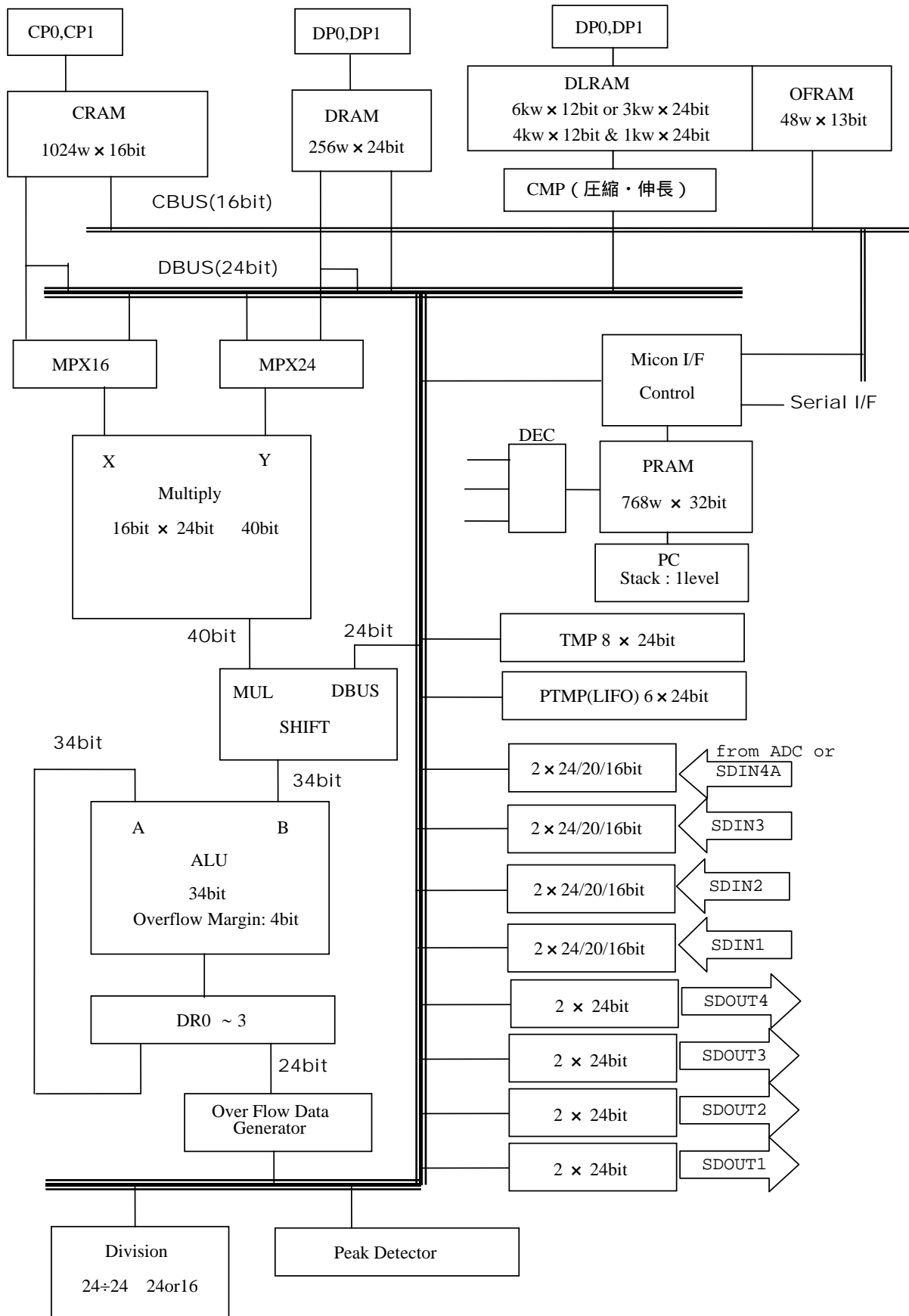
このブロック図は、AK7730Aを簡略的に示したもので、回路図を表しているわけではありません。

2) EESEL="H"



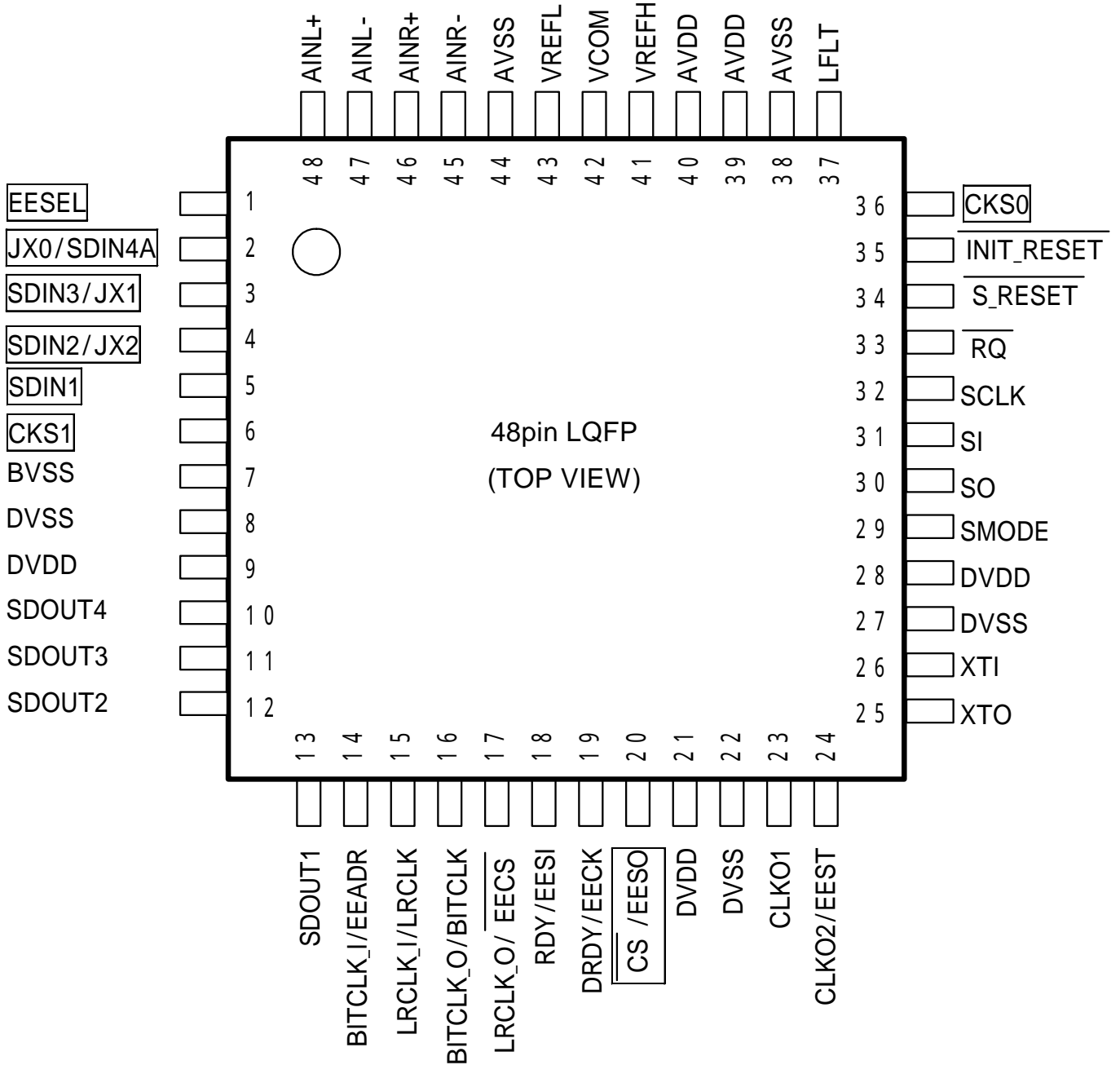
このブロック図は、AK7730Aを簡略的に示したもので、回路図を表しているわけではありません。

AK7730A DSP部ブロック図



4 . 入出力端子説明

(1) ピン配置図



注) ***は、内部でプルダウンされているピンです。***:ピン名

(2)ピン機能

ピンNo.	ピン名称	I/O	機 能	分 類
1	EESEL	I	コントロールモード選択ピン (内部プルダウン付) EESEL="L": 一般に使用するモードです。 EESEL="H": 弊社EEPROM AK6510C, AK6512Cを用いて、プログラムをダウンロードすることが可能になります。 ・EESELピンは、"L","H"どちらかに固定して使用します。	コントロール
2	JX0/SDIN4A	I	外部条件ピン / DSPシリアルデータ入力ピン (内部プルダウン付) ・通常は、外部条件ジャンプピンJX0として使用します。 ・コントロールレジスタ設定(SWA, SWJX0)でDSPのSDIN4ポート (通常はADCのシリアル出力と接続) に入力することが可能となります。前詰め24bit / 後詰め24bit, 20bit, 16bitに対応しています。	デジタル部 条件入力 / シリアルデータ入力
3	SDIN3/JX1	I	DSPシリアルデータ入力ピン / 外部条件ピン (内部プルダウン付) ・前詰め24bit / 後詰め24bit, 20bit, 16bitに対応しています。 ・コントロールレジスタ設定(SWJX1)で外部条件ジャンプピンJX1として使用することが可能になります。	デジタル部 シリアルデータ入力 / 条件入力
4	SDIN2/JX2	I	DSPシリアルデータ入力ピン / 外部条件ピン (内部プルダウン付) ・前詰め24bit / 後詰め24bit, 20bit, 16bitに対応しています。 ・コントロールレジスタ設定(SWJX2)で外部条件ジャンプピンJX2として使用することが可能になります。	
5	SDIN1	I	DSPシリアルデータ入力ピン (内部プルダウン付) 前詰め24bit / 後詰め24bit, 20bit, 16bitに対応しています。	デジタル部 シリアルデータ入力
6	CKS1	I	マスタークロック(XTI)選択ピン (内部プルダウン付) 通常は、オープンもしくはDVSSに接続します。	コントロール
7	BVSS	-	グランドピン (シリコン基板電位) AVSSと接続します。	アナログ電源
8	DVSS	-	デジタル部グランドピン	デジタル電源
9	DVDD		デジタル部電源ピン 3.3V(typ)	
10	SDOUT4	O	DSPシリアルデータ出力ピン ・前詰め24bitデータが出力されます。 ・コントロールレジスタ設定(SWQA, SWQ4)で、SDIN4AもしくはADCのデータを出力することが可能です。	デジタル部 シリアルデータ出力
11	SDOUT3	O	DSPシリアルデータ出力ピン ・前詰め24bitデータが出力されます。 ・コントロールレジスタ設定(SWQ3)で、SDIN3のデータを出力することが可能です。	
12	SDOUT2	O	DSPシリアルデータ出力ピン ・前詰め24bitデータが出力されます。 ・コントロールレジスタ設定(SWQ2)で、SDIN2のデータを出力することが可能です。	
13	SDOUT1	O	DSPシリアルデータ出力ピン ・前詰め24bitデータが出力されます。 ・コントロールレジスタ設定(SWQ1)で、SDIN1のデータを出力することが可能です。	

ピンNo.	ピン名称	I/O	機能	分類
14	BITCLK_I (EESEL="L")	I	シリアルビットクロック入力ピン スレーブモード時(SMODE="L")は、64fsクロックを入力します。 (48fsクロックも入力可能です。) マスターモード(SMODE="H")のみを使用する場合は、DVSSに接続してください。	システムクロック
	EEADR (EESEL="H")	I	EEPアドレス選択ピン AK6510C: EEADR="L"で使用します。 AK6512C: EEADR="L" アドレス0000hから読み出します。 EEADR="H" アドレス1000hから読み出します。	EEP
15	LRCLK_I (EESEL="L")	I	LRチャンネル選択入力ピン スレーブモード時(SMODE="L")は、1fsクロックを入力します。 マスターモード(SMODE="H")のみを使用する場合は、DVSSに接続してください。	システムクロック
	LRCLK (EESEL="H")	I/O	LRチャンネル選択入出力ピン スレーブモード時(SMODE="L")は、1fsクロックを入力します。 マスターモード時(SMODE="H")は、1fsクロックが出力されます。	システムクロック
16	BITCLK_O (EESEL="L")	O	シリアルビットクロック出力ピン マスターモード時(SMODE="H")は、64fsクロックを出力します。スレーブモード時(SMODE="L")は、BITCLK_Iのクロックを出力します。	システムクロック
	BITCLK (EESEL="H")	I/O	シリアルビットクロック入出力ピン スレーブモード時(SMODE="L")は、64fsクロックを入力します。 (48fsクロックも入力可能です。) マスターモード時(SMODE="H")は、64fsクロックが出力されます。	システムクロック
17	LRCLK_O (EESEL="L")	O	LRチャンネル選択出力ピン マスターモード時(SMODE="H")は、LRクロックが出力されます。スレーブモード時(SMODE="L")は、LRCLK_Iのクロックを出力します。	システムクロック
	EECS (EESEL="H")	O	EEPROMチップセレクト出力ピン AK6510C/12Cの \overline{CS} に接続します。	EEP
18	RDY (EESEL="L")	O	マイコンインタフェース用データ書込みレディピン $\overline{CS} = "H"$ でHi-Zになります。	マイコン
	RDY/EESI (EESEL="H")	O	マイコンインタフェース用データ書込みレディピン / EEPROMシリアルデータ出力ピン AK6510C/12CのSIに接続します。EEPROMからのデータ取り込みが終了(EESTが"L"から"H"に変化)すると、RDYピンに自動的に切り替わります。	EEP/マイコン
19	DRDY (EESEL="L")	O	マイコンインタフェース用出力データレディピン $\overline{CS} = "H"$ でHi-Zになります。	マイコン
	DRDY/EECK (EESEL="H")	O	マイコンインタフェース用データ書込みレディピン / EEPROMシリアルデータ出力ピン AK6510C/12CのSCKに接続します。EEPROMからのデータ取り込みが終了(EESTが"L"から"H"に変化)すると、DRDYピンに自動的に切り替わります。	EEP/マイコン

ピンNo.	ピン名称	I/O	機 能	分 類
20	\overline{CS} (EESSEL="L")	I	マイコンインターフェース用チップセレクトピン (内部プルダウン付) 通常は、オープンもしくはDVSSに接続してください。 \overline{CS} ="H"にすると、SIピンのデータは取り込まれず、SO, RDY, DRDYピンはHi-Zになります。 EESSEL="H"の時は、この機能はありません。	マイコン
	EESO (EESSEL="H")	I	EEPROMシリアルデータ入力ピン (内部プルダウン付) AK6510C/12CのSOに接続します。	EEP
21	DVDD	-	デジタル部電源ピン 3.3V (typ)	デジタル電源
22	DVSS	-	デジタル部グランドピン 0V	
23	CLKO1	O	クロック出力ピン コントロールレジスタで設定します。	クロック出力
24	CLKO2 (EESSEL="L")	O	クロック出力ピン コントロールレジスタで設定します。	クロック出力
	EEST (EESSEL="H")	O	EEPROM書き込みステータスピン EEPROMからのデータの取り込みが終了すると、EESTは"L"から"H"に変化します。これによって、マイコンインターフェースの入力が可能となります。	EEP
25	XTO	O	水晶振動子出力ピン 水晶振動子を使用する場合、水晶振動子をXTIピンとこのXTOピンに接続します。外部クロックを使用する場合はこのピンをオープンにしてください。	システムクロック
26	XTI	I	マスタークロック入力ピン 水晶振動子を使用する場合は、水晶振動子をこのXTIピンとXTOピンに接続します。水晶振動子を使用しない場合は、外部クロックをこのXTIピンに入力します。	
27	DVSS	-	デジタル部グランドピン 0V	デジタル電源
28	DVDD	-	デジタル部電源ピン 3.3V (typ)	
29	SMODE	I	スレープ・マスターモード選択ピン SMODE="L" : スレープモード SMODE="H" : マスターモード	コントロール
30	SO	O	マイコンインターフェース用シリアルデータ出力ピン	マイコン
31	SI	I	マイコンインターフェース用シリアルデータ入力・シリアルデータ出力制御ピン データを入力もしくはシリアルデータの出力制御ピンとして使用しない場合は、SI="L"にしてください。	
32	SCLK	I	マイコンインターフェース用シリアルデータクロックピン クロックを入力しない時は、SCLK="H"にしてください。	
33	\overline{RQ}	I	マイコンインターフェース用リクエストピン \overline{RQ} ="L"の時マイコンとのインターフェースが可能です。 ただし、RUN中読み出しは、 \overline{RQ} ="H"で行います。 マイコンとのインターフェースを行わないときには、 \overline{RQ} ="H"にしてください。	
34	$\overline{S_RESET}$	I	システムリセットピン	リセット
35	$\overline{INIT_RESET}$	I	イニシャルリセットピン (初期化用) AK7730Aを初期化するのに使用します。また、CKS1, CKS0ピンの設定を変更する場合、XTIの入力周波数を変更する場合にも用います。	
36	CKS0	I	マスタークロック (XTI) 選択ピン (内部プルダウン付)	コントロール

ピンNo.	ピン名称	I/O	機能	分類
37	LFLT	-	PLL用RC接続端子 RCを直列に接続します。R=5.6kΩ,C=6.8nF (PLLをまったく使用しない場合は、AVSSに接続してください。)	アナログ部
38	AVSS	-	アナログ部グランドピン 0V (シリコン基板電位)	
39	AVDD	-	アナログ部電源ピン 3.3V (typ)	
40	AVDD	-	アナログ部電源ピン 3.3V (typ)	
41	VREFH	I	アナログ部基準電圧入力ピン 通常AVDDと接続し、0.1μFと10μFのコンデンサをAVSSとの間に接続します。	
42	VCOM	O	アナログ部コモン電圧出力ピン 0.1μFのコンデンサをAVSSとの間に接続します。 外部回路には使用しないで下さい。	
43	VREFL	I	アナログ部基準電圧入力ピン 通常AVSSに接続します。	
44	AVSS	-	アナログ部グランドピン 0V (シリコン基板電位)	
45	AINR-	I	ADC Rchアナログ反転入力ピン	
46	AINR+	I	ADC Rchアナログ非反転入力ピン	
47	AINL-	I	ADC Lchアナログ反転入力ピン	
48	AINL+	I	ADC Lchアナログ非反転入力ピン	

注) デジタル入力ピンは、オープンにしないで下さい。

ただし、プルダウンピンとマスターモード時のBITCLK_I,LRCLK_I(ESEL="L")を除きます。
(プルダウンピンは使用しない場合、オープンもしくはDVSSに接続してください。)

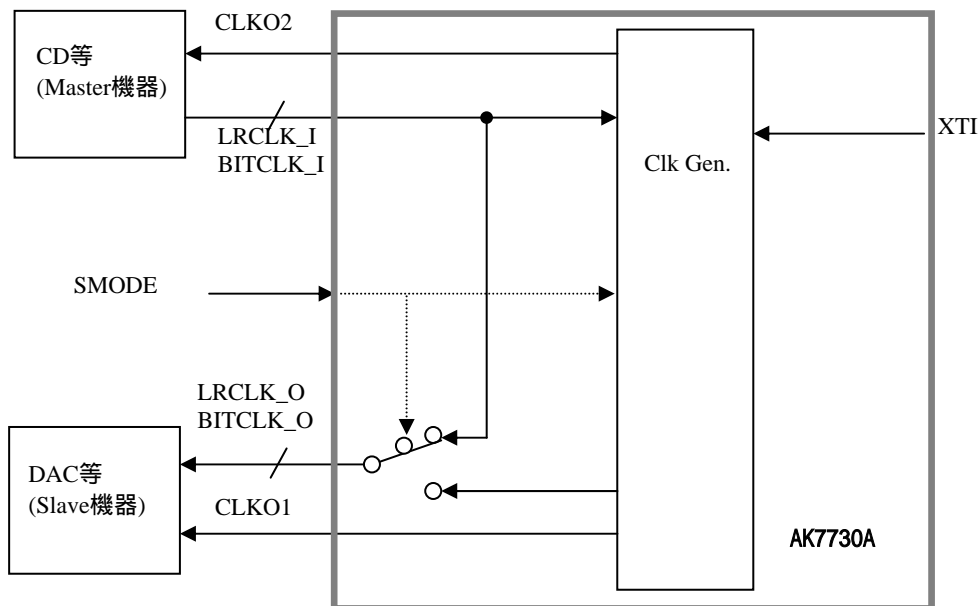


図1 外部機器との接続

5．絶対最大定格

(AVSS,BVSS,DVSS=0V : すべての電圧はグランドに対する値です。)

項目	記号	min	max	単位
電源電圧				
Analog(AVDD)	VA	-0.3	4.6	V
Digital(DVDD)	VD	-0.3	4.6	V
AVSS(BVSS) - DVSS 注1	GND		0.3	V
入力電流(除:電源ピン)	IIN	-	±10	mA
アナログ入力電圧 AINL+,AINL-,AINR+,AINR-,	VINA	-0.3	VA+0.3	V
デジタル入力電圧	VIND	-0.3	VA+0.3	V
動作周囲温度	Ta	-40	85	
保存温度	Tstg	-65	150	

注1 : AVSS,BVSSとDVSSは、同電位にして下さい。

注意 : これらの限界以上での動作は素子の永久破壊を引き起こす可能性があります。

この極限状態では通常動作は保証されません。

6．推奨動作条件

電源電圧

(AVSS,BVSS,DVSS=0V : 全ての電圧はグランドに対する値です。)

項目	記号	min	typ	max	単位
電源電圧					
AVDD	VA	3.0	3.3	3.6	V
DVDD	VD	3.0	3.3	3.6	V
基準電圧 (V R E F)					
VREFH 注1)	VRH		VA		V
VREFL 注2)	VRL		0.0		V

注1) VREFHは通常AVDDに接続します。

注2) VREFLは通常AVSSに接続します。

注意 アナログ入力電圧は<VREFH-VREFL>間の電圧値に比例します。

7 . 電気的特性

(1) アナログ特性

特記なき場合はTa=25 ; AVDD,DVDD=3.3V; VREFH=AVDD,VREFL=AVSS;
 BITCLK=64fs ; 信号周波数1kHz; 測定周波数=20Hz ~ 20kHz @48kHz, 20Hz~40kHz @96kHz;
 ADC全差動入力; CLKO出力=18.432MHz; XTI=18.432MHz, SMODE="H"

パラメータ		min	typ	max	単位	
ADC部	分解能			24	Bits	
	ダイナミック特性					
	S/(N+D)	fs = 48kHz (-1dBFS) (注1)	82	92		dB
		fs = 96kHz (-1dBFS)		88		dB
	ダ イナミックレンジ	fs = 48kHz (Aフィルタ) (注2)	90	97		dB
		fs = 96kHz		93		dB
	S/N	fs = 48kHz (Aフィルタ)	90	98		dB
		fs = 98kHz		93		dB
	チャンネル間アイレーション	(f=1kHz)	90	105		dB
	DC精度					
	チャンネル間ゲインスマッチ			0.1	0.3	dB
	ゲインドリフト			50		ppm/
アナログ入力						
入力電圧	(注3)	± 1.22	± 1.32	± 1.42	Vp-p	
入力インピーダンス	(fs=48kHz) (注4)		95		k	

注1 . シグナル入力の場合、特性は悪くなります。

注2 . -60dBFSの信号を入力したときのS/(N+D)です。

注3 . アナログ入力電圧($A_{IN}=(A_{IN+})-(A_{IN-})$)のフルスケールは、($\pm FS = \pm (V_{REFH}-V_{REFL}) \times 0.4$)です。

注4 . fsに反比例します。

(2) DC特性

(VDD=AVDD=DVDD=3.0 ~ 3.6V, Ta=25)

パラメータ	記号	min	typ	max	単位
ハイレベル入力電圧	VIH	80% VDD			V
ローレベル入力電圧	VIL			20% VDD	V
ハイレベル出力電圧 Iout=-100 μA	VOH	VDD-0.5			V
ローレベル出力電圧 Iout=100 μA	VOL			0.5	V
入力リーク電流 注1)	Iin			± 10	μA
入力リーク電流 プログラミング 注2)	Iid		30		μA
入力リーク電流 XTIピン	Iix		50		μA

注1 . プログラミング,XTIピンを除きます。

注2 . プログラミングは次の通りです。 1,2,3,4,5,6,20,36pin

入出力レベルを本文中では、ローレベルでは"L"もしくは0、ハイレベルでは"H"もしくは1と表記します。
 基本的には、レジスタなどのバス(シリアル,パラレル)的な記述には0,1表記を用いています。

(3) 消費電流

AVDD=DVDD=3.0~3.6V(typ=3.3V時,max=3.6V),Ta=25 ; π スタック(XTI)=18.432MHz=384fs[fs=48kHz],
PLL動作時;

電源				
パラメータ	min	typ	max	単位
電源電流 注1)				
1)標準速				
a) AVDD		15		mA
b) DVDD		50		mA
c) total(a+b)		65		mA
2)倍速				
a) AVDD		16		mA
b) DVDD		55		mA
c) total(a+b)		71		mA
3)4倍速				
a) AVDD		4		mA
b) DVDD		55		mA
c) total(a+b)		59		mA
4) 1)2)3) max 注2)				
a) AVDD			23	mA
b) DVDD			77	mA
c) total(a+b)			100	mA
5) $\overline{\text{INIT_RESET}} = "L"$ 時 (参考値) 注3)		4		mA
消費電力 注1)				
1)標準速				
a) AVDD		50		mW
b) DVDD		165		mW
c) total(a+b)		215		mW
2)倍速				
a) AVDD		53		mW
b) DVDD		182		mW
c) total(a+b)		235		mW
3)4倍速				
a) AVDD		13		mW
b) DVDD		182		mW
c) total(a+b)		195		mW
4) 1)2)3) max 注2)				
a) AVDD			83	mW
b) DVDD			277	mW
c) total(a+b)			360	mW
5) $\overline{\text{INIT_RESET}} = "L"$ 時 (参考値) 注3)		13		mW

注1．DVDDの値は使用周波数およびDSPプログラム内容によって変化します。

注2．max値は、倍速時の値とします。

注3．水晶振動子使用時の値を示しています。イニシャルリセット時は、水晶発振部に流れる電流が主になるため、水晶振動子および外付け回路の違いにより多少異なります。(参考値)

(4) デジタルフィルタ特性

記載値は設計値を参考データとして転記したものであり、特性保証値ではありませんが、テスターによるデジタルファンクションテストのパスにより設計的に保証されます。

1) ADC部:

($T_a=25$; AVDD,DVDD=3.0 ~ 3.6V; $f_s=48\text{kHz}$;HPF=off 注1))

パラメータ	記号	min	typ	max	単位
通過値 $\pm 0.005\text{dB}$ (注2) (-0.02dB) (-6.0dB)	PB	0		21.5	kHz
		-	21.768	-	kHz
		-	24.00	-	kHz
阻止域	SB	26.5			kHz
通過域リップル (注2)	PR			± 0.005	dB
阻止域減衰量 (注3,4)	SA	80			dB
群遅延歪	GD			0	us
群遅延 ($T_s=1/f_s$)	GD		29.3		T_s

注1 . 各振幅特性の周波数は f_s (サンプリングレート) に比例します。ハイパスフィルタの特性は含まれていません。

注2 . 通過域は $f_s=48\text{kHz}$ のとき、DCから21.5kHzです。

注3 . 阻止域は $f_s=48\text{kHz}$ のとき、26.5kHzから3.0455MHzです。

注4 . $f_s=48\text{kHz}$ のときアナログ変調器は3.072MHzでアナログ入力をオフリングします。
サンプリング周波数の整数倍の帯域($n \times 3.072\text{MHz} \pm 21.99\text{kHz}$; $n=0,1,2,3,\dots$)では
入力信号はデジタルフィルタによって減衰されません。

(5) スイッチング特性

1) システムクロック

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~ 85)

パラメータ	記号	min	typ	max	単位
マスタクロック(XTI)					
a)水晶振動子使用時 注1)					
CKS[1:0]=0h	fMCLK	-	16.9344 18.432	-	MHz
CKS[1:0]=1h	fMCLK	-	11.2896 12.288	-	MHz
CKS[1:0]=2h	fMCLK	-	22.5792 24.576	-	MHz
b)外部クロック使用時 注1)					
デューティ比 (18.5MHz)		40	50	60	%
(> 18.5MHz)		45	50	55	%
CKS[1:0]=0h	fMCLK	16.0		18.6	MHz
CKS[1:0]=1h	fMCLK	11.0		12.4	MHz
CKS[1:0]=2h	fMCLK	22.0		24.8	MHz
CKS[1:0]=3h	fMCLK	24.0		37.0	MHz
クロック立ち上がり時間	tCR			6	ns
クロック立ち下がり時間	tCF			6	ns
LRCLK 周波数	fs	8	48	192	kHz
スレプモード:クロック立ち上がり時間	tLR			6	ns
スレプモード:クロック立ち下がり時間	tLF			6	ns
BITCLK 周波数 注2)	fBCLK	48	64		fs
スレプモード:ハイレベル幅	tBCLKH	36			ns
スレプモード:ローレベル幅	tBCLKL	36			ns
スレプモード:クロック立ち上がり時間	tBR			6	ns
スレプモード:クロック立ち下がり時間	tBF			6	ns

注1 . CKS[1:0]=3hのみPLL未使用です。CKS[1:0] = 1h は CKS1 = 0, CKS0 = 1 を意味しています。

注2 . 48fsはスレプモード時

2) リセット

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~ 85)

パラメータ	記号	min	typ	max	単位
INIT_RESET 注1)	tRST	400			ns
S_RESET	tRST	400			ns

注1) 電源投入時は"L"でかまいませんが、"H"に立ち上げるのは電源が立ち上がり、マスタクロックが動作している必要があります。

3) オーディオインターフェース

(AVDD=DVDD=3.0~3.6V, Ta=-40 ~ 85 °C, CL=20pF)

パラメータ	記号	min	typ	max	単位
スレーブモード					
BITCLK周波数	fBCLK	48	64	64	fs
BITCLK \square -レベル幅	tBCLKL	36			ns
BITCLK \square -レベル幅	tBCLKH	36			ns
BITCLK" \square からLRCLKへの遅延時間	tBLRD	20			ns
LRCLKからBITCLK" \square への遅延時間	tLRBD	20			ns
LRCLKからシリアルデータ出力遅延時間	tLRD			25	ns
BITCLKからシリアルデータ出力遅延時間	tBSOD			25	ns
シリアルデータ入力ラッチセットアップ時間	tBSIDS	25			ns
シリアルデータ入力ラッチホールド時間	tBSIDH	25			ns
マスターモード					
BITCLK周波数	fBCLK		64		fs
BITCLKデューティ比			50		%
BITCLK" \square からLRCLKへの遅延時間 注1)	tBLRD	20			ns
LRCLKからBITCLK" \square への遅延時間 注1)	tLRBD	20			ns
LRCLKからシリアルデータ出力遅延時間	tLRD			25	ns
BITCLKからシリアルデータ出力遅延時間	tBSOD			25	ns
シリアルデータ入力ラッチセットアップ時間	tBSIDS	25			ns
シリアルデータ入力ラッチホールド時間	tBSIDH	25			ns

注1. この規格値は、LRCLKのエッジとBITCLKの" \square が重ならないように規定しています

4) マイコンインターフェース

(AVDD=DVDD=3.0 ~ 3.6V, Ta=-40 ~ 85, CL=20pF)

パラメータ	記号	min	typ	max	単位
マイコンインターフェース用信号					
\overline{RQ} 立ち下がり時間	tWRF			8	ns
\overline{RQ} 立ち上がり時間	tWRR			8	ns
SCLK立ち下がり時間	tSF			8	ns
SCLK立ち上がり時間	tSR			8	ns
SCLK 0レベル幅	tSCLKL	50			ns
SCLK 1レベル幅	tSCLKH	50			ns
マイコン AK7730A					
$\overline{S_RESET}$ " から \overline{RQ} " "	tREW	200			ns
\overline{RQ} " から $\overline{S_RESET}$ " "	tWRE	200			ns
\overline{RQ} 1レベル幅	tWRQH	200			ns
\overline{RQ} " から SCLK " "	tWSC	200			ns
SCLK " から \overline{RQ} " "	tSCW	6 × tMCLK			ns
SI ラッチセットアップ時間	tSIS	100			ns
SI ラッチホールド時間	tSIH	100			ns
AK7730A マイコン(DBUS出力)					
SCLK " から DRDY " "	tSDR			3 × tMCLK	ns
SI " から DRDY " "	tSIDR			3 × tMCLK	ns
SI 1レベル幅	tSIH	3 × tMCLK			ns
SCLKの " から SO出力遅延時間	tSOS			100	ns
SCLKの " から SO出力HOLD時間	tSOH	150			ns
AK7730A マイコン(RAM DATA読み出し)					
SI ラッチセットアップ時間(SI="H")	tRSISH	30			ns
SI ラッチセットアップ時間(SI="L")	tRSISL	30			ns
SI ラッチホールド時間	tRSIH	30			ns
SCLKの " から SO	tSOD			100	ns
AK7730A マイコン(CRC結果出力) 注2)					
\overline{RQ} " から SO出力遅延時間	tRSOC			150	ns
\overline{RQ} " から SO出力遅延時間 注3)	tFSOC	50			ns
CS (ESEL="L" or open)					
\overline{CS} 立ち下がり時間	tCSF			8	ns
\overline{CS} 立ち上がり時間	tCSR			8	ns
$\overline{S_RESET}$ " から \overline{CS} " "	tWRCS	400			ns
\overline{CS} " から $\overline{S_RESET}$ " "	tWCSR	400			ns
\overline{CS} 1レベル幅	tWCSH	800			ns
\overline{CS} " から \overline{RQ} " "	tWCSRQ	400			ns
\overline{RQ} " から \overline{CS} " "	tWRQCS	400			ns
\overline{CS} " から SO, RDY, DRDYのHi-Z解除(RL=10k)	tCSHR			600	ns
\overline{CS} " から SO, RDY, DRDY Hi-Zへ(RL=10k)	tCSHS			600	ns
EEPROM AK7730A(ESEL="H")					
EESO ラッチセットアップ時間	tEESOS	100			ns
EESO ラッチホールド時間	tEESOH	100			ns

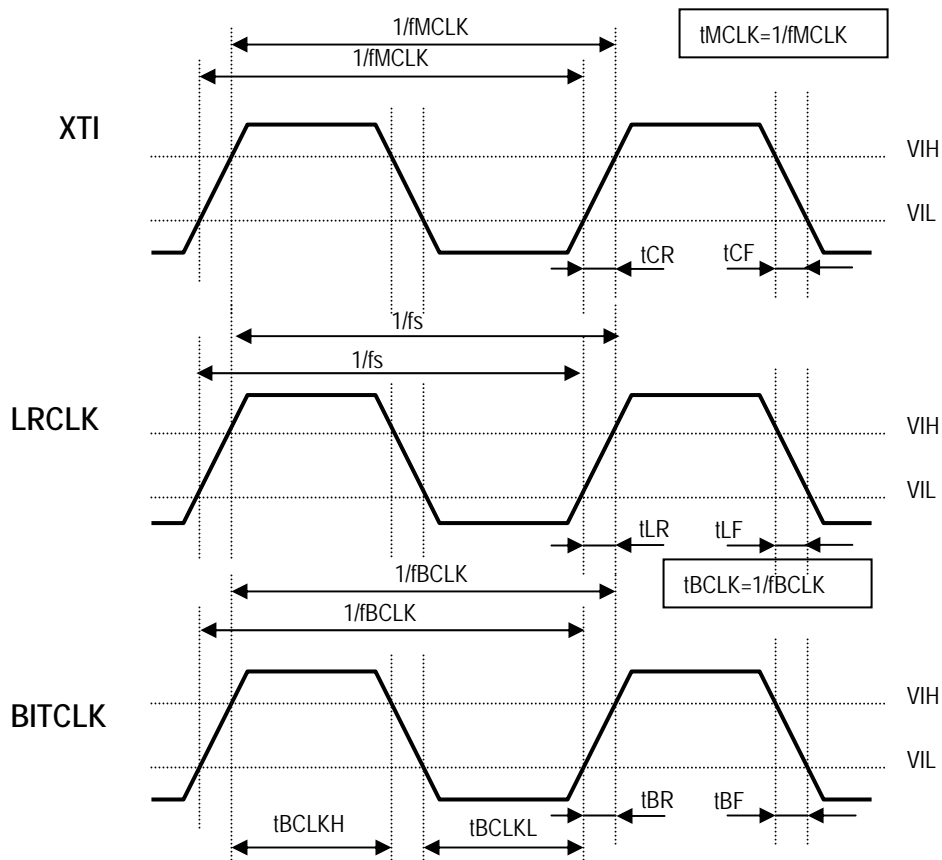
注1. リセット時の外部条件ジャンプコード設定は除く。

注2. シリアルデータD(x)を生成多項式G(x)で割った余りがR(x)に等しい場合です。このとき、SOが"H"になります。

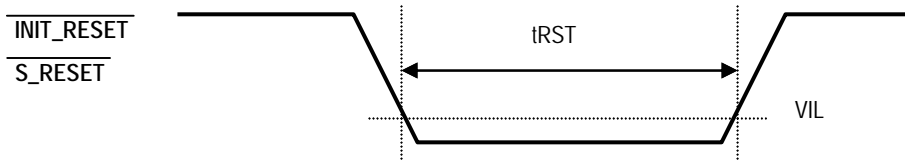
注3. \overline{RQ} を立ち下げる50ns前以上で、マイコンにデータを取り込んで下さいという意味です。(除RUN中読出し)

(6) タイミング波形

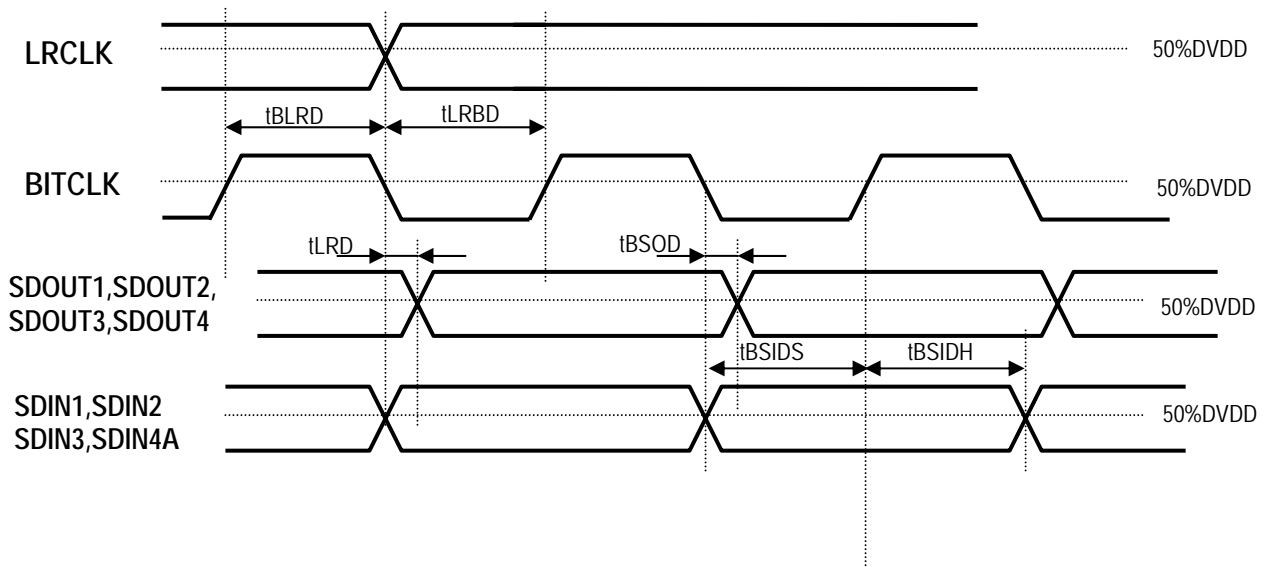
1) システムクロック



2) リセット

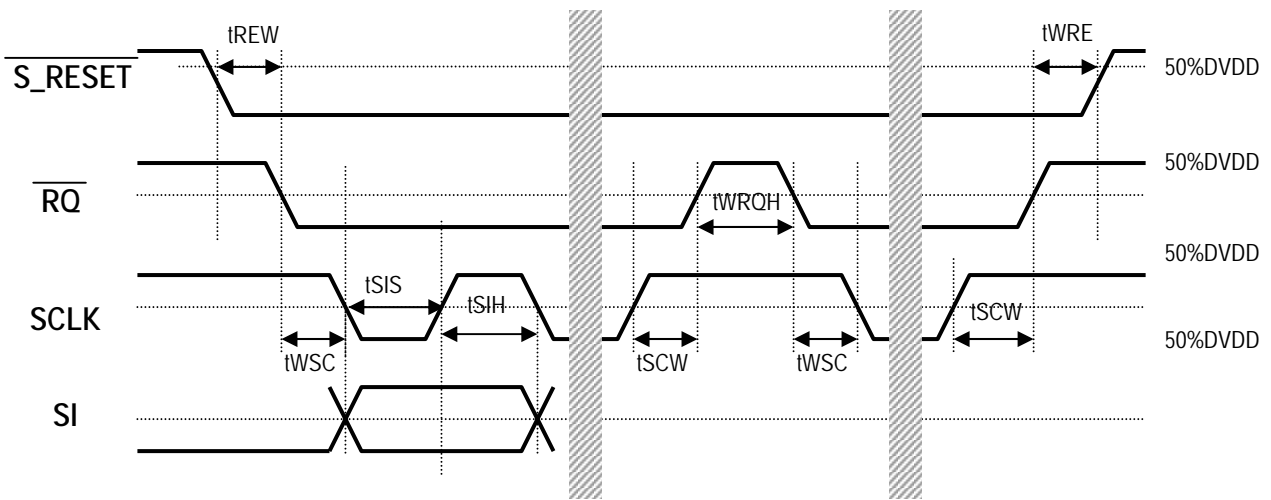
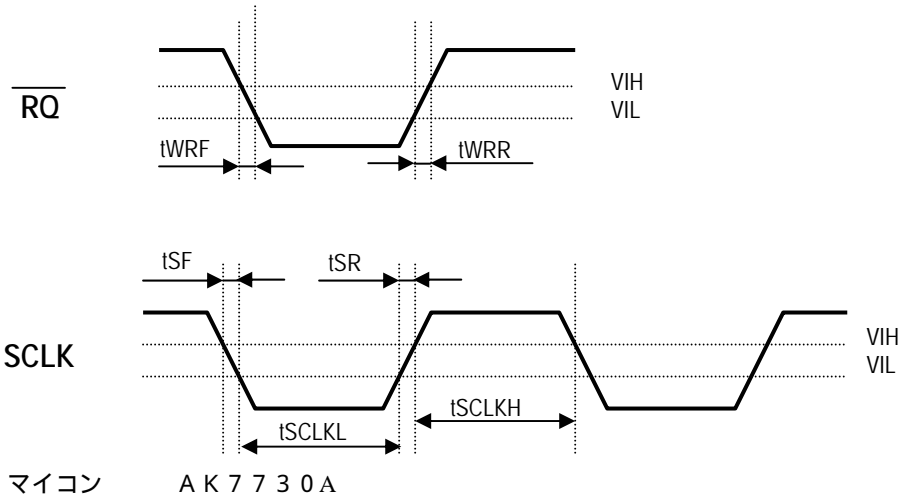


3) オーディオインターフェース



4) マイコンインターフェース

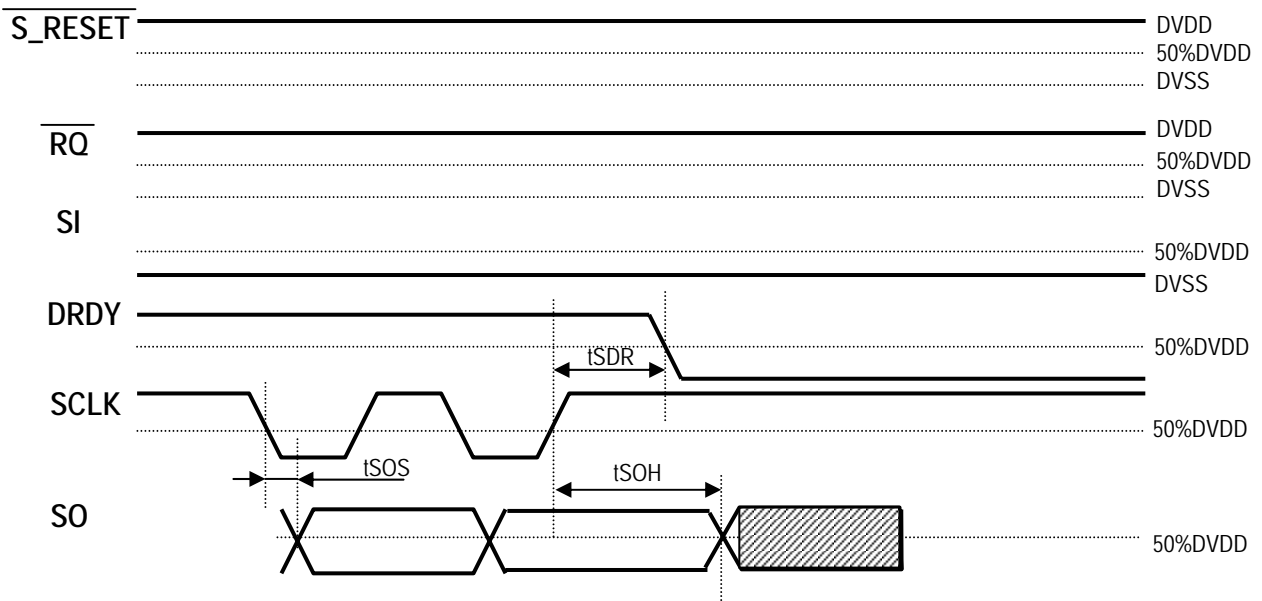
マイコンインターフェース用信号



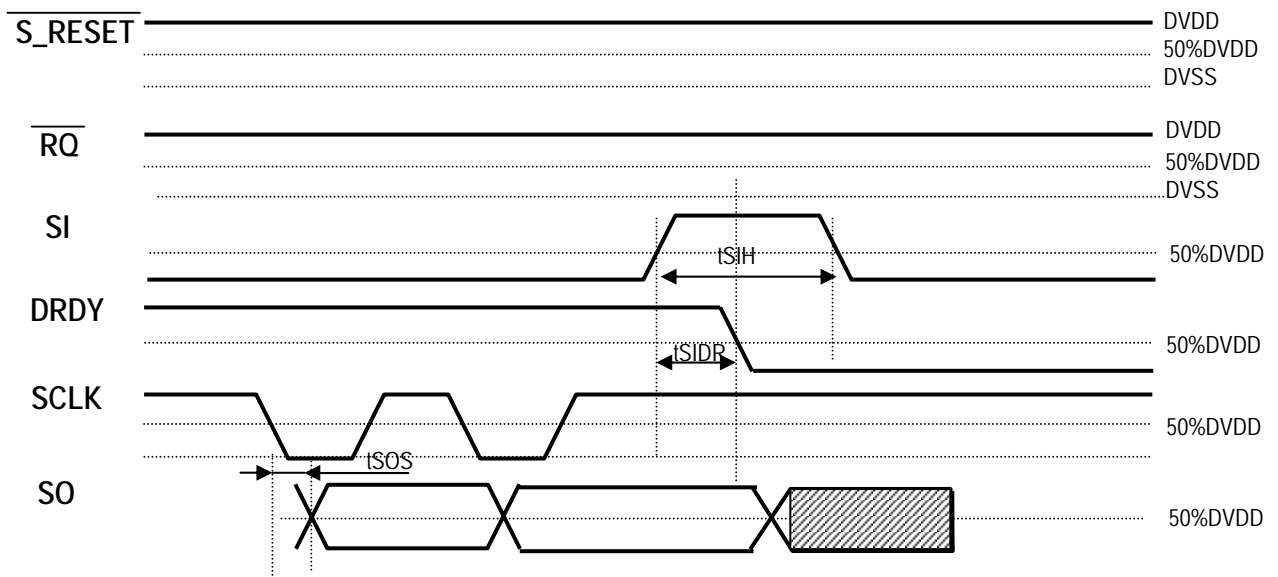
注意：R U N状態のタイミングは S_RESET が "H"になる以外は同じタイミングです。

AK7730A マイコン(DBUS出力)

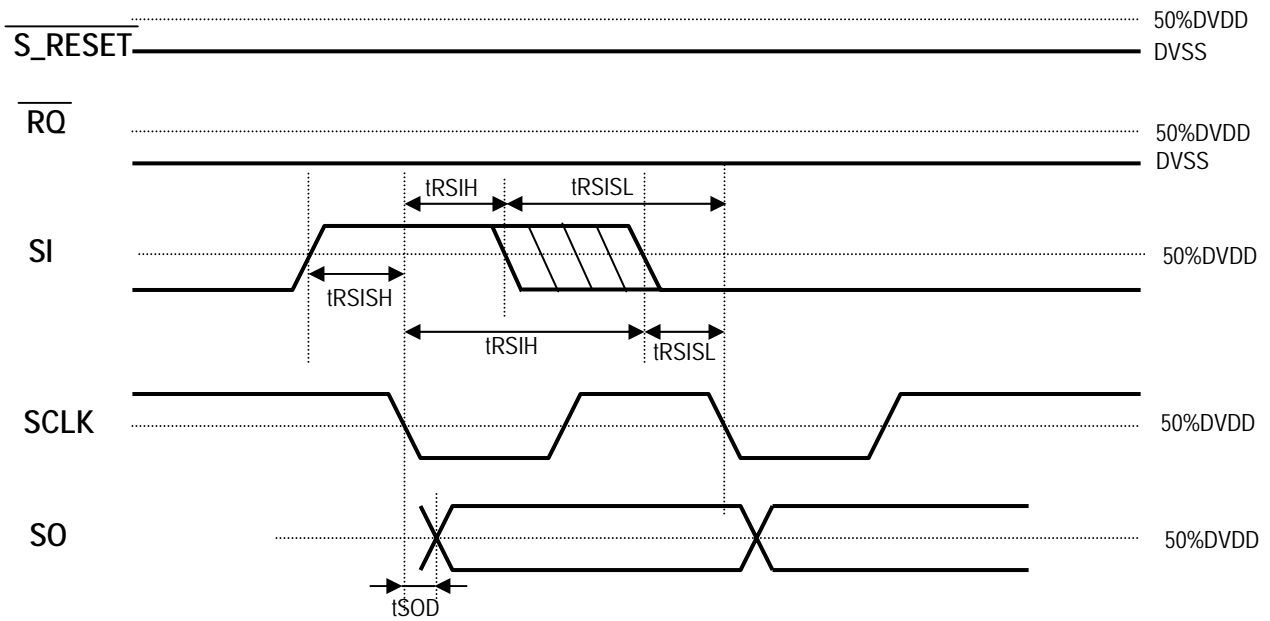
1) DBUS 24bit出力時



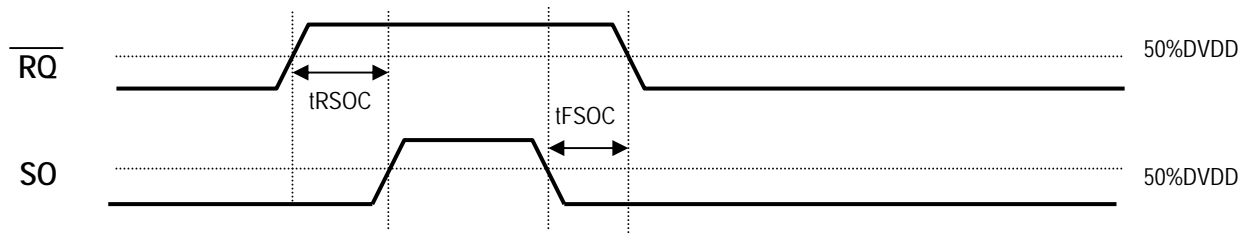
2) DBUS 24bit未満出力時 (SI使用時)



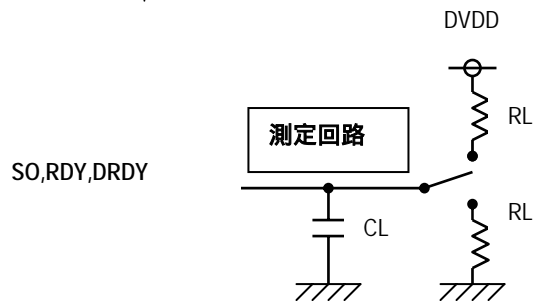
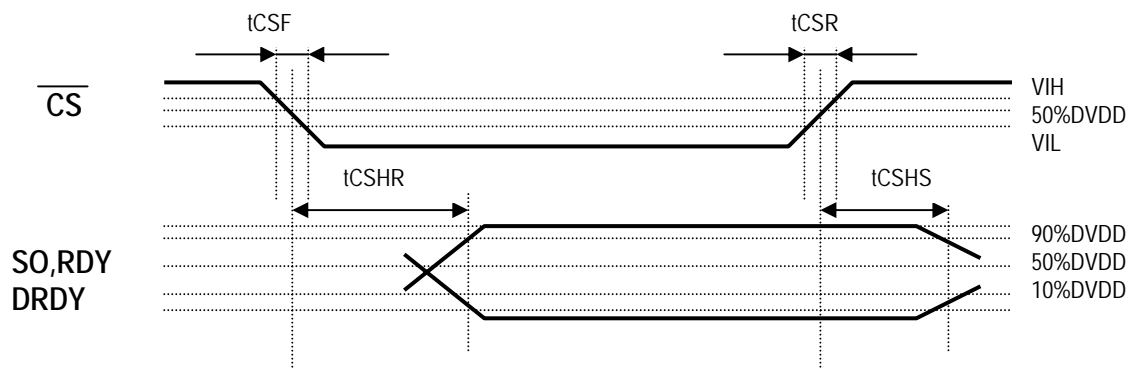
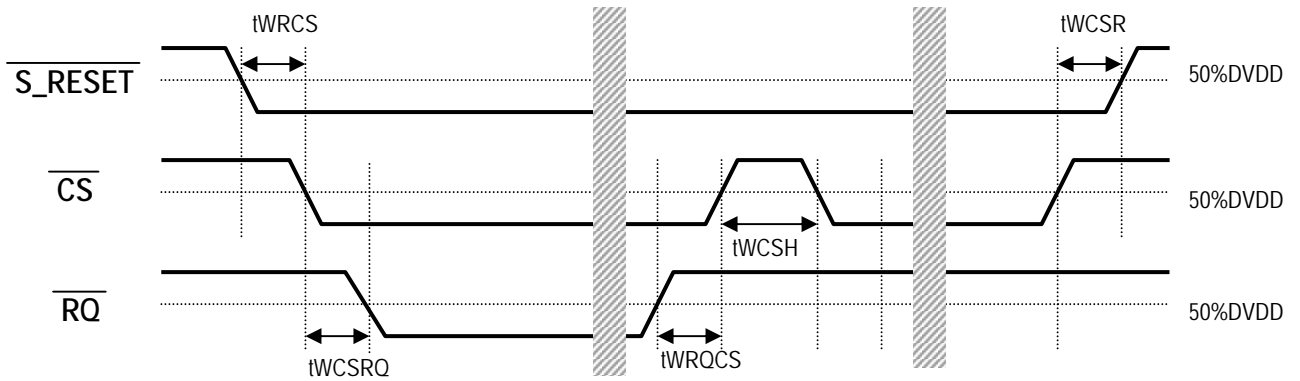
AK7730A マイコン (RAM DATA読み出し)



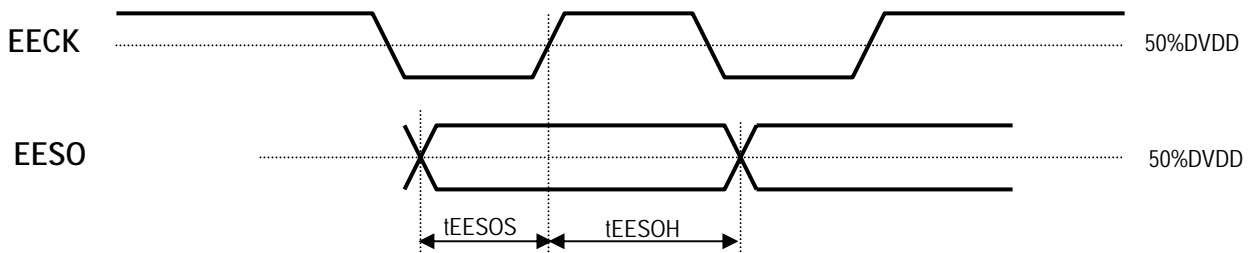
AK7730A マイコン (CRCチェック: {D(x)/G(x)の余り}=R(x))



\overline{CS} (EESL="L" or OPEN)



EEPROM AK7730A



8 . 機能説明

(1) 各種ピン設定

1) S MODE : スレープ、マスタモード選択ピン

L R C L K、B I T C L Kの入出力を設定します。

a) スレープモード : S M O D E = "L"

L R C L K (1 fs)、B I T C L K (6 4 fs)は入力となります。

注) B I T C L Kは、4 8 fsでも入力可能です。

b) マスタモード : S M O D E = "H"

L R C L K (1 fs)、B I T C L K (6 4 fs)を出力します。

注) S M O D Eピンは、通常"L"もしくは"H"に固定して使用することを想定しています。したがってイニシャルリセット解除後 ($\overline{\text{INIT_RESET}} = "L"$ "H") に切り替える時は、システムリセット中 ($\overline{\text{S_RESET}} = "L"$) で行って下さい。特にスレープモードは、システムリセットの解除によって内部のクロックとの位相合わせを行うため (8.(4)リセットについての項参照)、動作中にスレープモードに変更すると、誤動作を引き起こしますので注意して下さい。

2) C K S 1, C K S 0 : マスタクロック(XTI)選択ピン

モード	CKS[1:0]	クロック 系列	XTI 主な入力周波数 (MHz)	XTI入力可能 周波数範囲 (MHz)	内部 PLL	DSP最大STEP数 (fs=48kHz)
0	0h	384fs系	18.432, 16.9344	16.0 ~ 18.6	使用	768
1	1h	256fs系	12.288, 11.2896	11.0 ~ 12.4	使用	768
2	2h	512fs系	24.576, 22.5792	22.0 ~ 24.8	使用	768
3	3h	768fs系	36.864, 33.8688	24.0 ~ 37.0	未使用	768 (XTI=36.864MHz)

注) C K S 1=C K S [1], C K S 0=C K S [0] です。

モード3では、水晶振動子を使用することは出来ません。

AK7730Aでは、下図のように内部のマスタクロックMCLKは、最大36.864MHzで動作します。

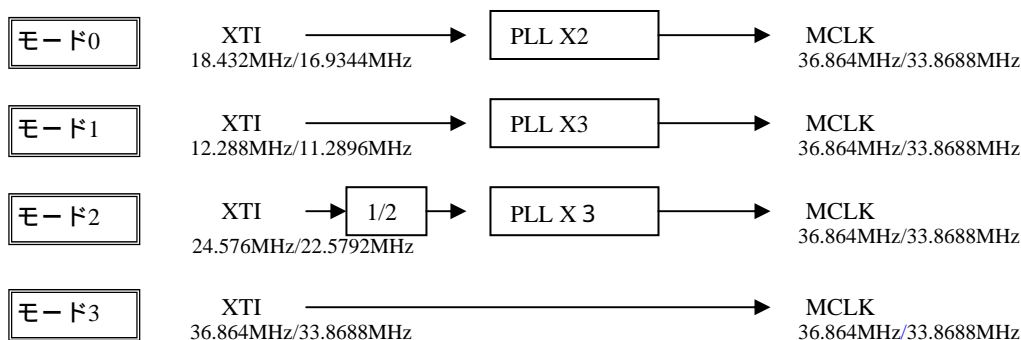


図 XTIとMCLK(内部マスタクロック)の関係

通常はモード0,1を使用します。(CKS1,CKS0をオープンで使用した場合は、モード0が選択されます。)モード2は外部に512fs系のクロックしかない場合、モード3はPLLを使用しない場合に用います。

電源立ち上げ後に、CKS1,CKS0の設定を切り替える場合は、イニシャルリセット ($\overline{\text{INIT_RESET}} = "L"$, $\overline{\text{S_RESET}} = "L"$) 中に行ってください。CKS1,CKS0ピンによってPLL回路および内部クロックを制御しているため、AK7730A動作中にこれらのピンを切り替えると誤動作をする可能性があります。

又、XTIの入力周波数を変更する場合もイニシャルリセット中に行ってください。

サンプリングレートの設定は、コントロールレジスタで行います。

(2) コントロールレジスタ設定

AK7730Aでは、マイコンとのインターフェースによるコントロールレジスタの設定を行います。コントロールレジスタは、全部で6つ（内部テスト用を含めると全部で9つ）用意されており、各レジスタは7bitで構成されています。ただし、SCLKは常に16bit分(Command Code 8bit,DATA 8bit)必要です。レジスタ構成を下表に示します。D0の0書き込み時に、各コントロールレジスタの値が確定します。

コントロールレジスタは、 $\overline{\text{INIT_RESET}} = "L"$ によって初期化されます。

システムリセット ($\overline{\text{S_RESET}} = "L"$) では、初期化されません。

TEST:TEST用 (0を入力して下さい。)、X:入力値は無視されますが0を入力して下さい。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	
W	R										
60h	70h	CONT0	DFS2	DFS1	DFS0	DIFS	DIF1	DIF0	SETCK	X	00h
62h	72h	CONT1	DARARAM	RM	BANK1	BANK0	CMP_N	SS1	SS0	X	00h
64h	74h	CONT2	PSAD	SWA	SWQA	SSDIN3	TEST	TEST	TEST	X	00h
66h	76h	CONT3	SWJX2	SWJX1	SWJX0	SWQ4	SWQ3	SWQ2	SWQ1	X	00h
68h	78h	CONT4	$\overline{\text{CLK1E}}$	CLK1S1	CLK1S0	$\overline{\text{CLK2E}}$	CLK2S1	CLK2S0	TEST	X	00h
6Ah	7Ah	CONT5	SWEE	SETC1	SETC2	TEST	TEST	TEST	TEST	X	00h

1. CONT0とCONT5は、誤動作防止のためシステムリセット時 ($\overline{\text{S_RESET}} = "L"$) 以外は書き込みません。
2. CONT1 ~ CONT4においてもシステムリセット時 ($\overline{\text{S_RESET}} = "L"$) の書き込みを推奨します。
3. TESTは、TEST用なので0書き込みを行ってください。
4. Defaultは、 $\overline{\text{INIT_RESET}} = "L"$ によってレジスタが初期化される初期値を表します。

1) CONT0: サンプリングレートおよびインタフェースの選択

システムリセット時 ($\overline{S_RESET} = "L"$) のみ書込みが可能です。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
60h	70h	CONT0	DFS2	DFS1	DFS0	DIFS	DIF1	DIF0	SETCK	X	00h

D7,D6,D5:DFS2,DFS1,DFS0 サンプリングレート設定

fs: サンプリング周波数

DFS モード	DFS2	DFS1	DFS0	CKS[1:0] (XTIの入力周波数)				fs(kHz)	DSP STEP数
				0h	1h	2h	3h		
0	0	0	0	384fs	256fs	512fs	768fs	48,44.1	768
1	0	0	1	192fs	128fs	256fs	384fs	96(,88.2)	384
2	0	1	0	96fs	64fs	128fs	192fs	192(,176.4)	192
3	0	1	1	576fs	384fs	768fs	1152fs	32(,29.4)	1152
4	1	0	0	1536fs	1024fs	2048fs	3072fs	12(,11.025)	3072
5	1	0	1	768fs	512fs	1024fs	1536fs	24(,22.05)	1536
6	1	1	0	1152fs	768fs	1536fs	2304fs	16(,14.7)	2304
7	1	1	1	2304fs	1536fs	3072fs	4608fs	8	4608

注1) DFSモードは対応する表中のfs:サンプリング周波数で使用して下さい。

注2) DFSモード2を選択する場合にはCONT2 PSAD(D7)を必ず1に設定してADCは停止させて使用して下さい。

D4:DIFS オートインタフェース選択

0: AKM仕様

1: I²S互換 (この場合、オートインタフェースすべての入出力ピンがI²S対応となります)

D3,D2:DIF1,DIF0 SDIN1,SDIN2,SDIN3,SDIN4A 入力モード選択

モード	DIF1	DIF0	
0	0	0	前詰め(24bit)
1	0	1	後詰め24bit
2	1	0	後詰め20bit
3	1	1	後詰め16bit

注)D4=1の時はモード設定に関係なくI²S互換となりますが、モード0を設定して下さい。

D1: SETCK

CONT5 SETC1=1 or SETC2=1を選択した時に出力するクロックを選択します。

CONT0	DFS2		DFS1		DFS0			
DFSモード	0	1	2	3	4	5	6	7
SETCK=0	256fs	N/A	N/A	256fs	1024fs	1024fs	512fs	1024fs
SETCK=1	64fs	64fs	64fs	64fs	256fs	256fs	128fs	256fs

D0:0を入力して下さい。

0書込み時に、CONT0の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

2) CONT1 : RAMコントロール

システムリセット時 ($\overline{S_RESET} = "L"$) の書込みを推奨します。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
62h	72h	CONT1	DATARAM	RM	BANK1	BANK0	CMP_N	SS1	SS0	X	00h

注) DLRAM (遅延RAM) を使用しない場合は、D5=1,D4=0(モード2)又は、D5=1,D4=1(モード3)に設定してください。

D7:DATARAM DATARAMアドレッシング方式選択

0:リングアドレッシング

1:リアアドレッシング

DATARAMは、メモリ容量は256word×24bitで、2個のメモリポインタ(DP0, DP1)が用意されています。ポインタDP0,DP1は毎サンプリング周期ごとに、各ポインタのアドレスはDP0=0h, DP1=80hから始まるリニアアドレッシング方式と、1サンプリング周期毎に開始アドレスがインクリメントするリングアドレッシング方式のどちらかを設定します。

D6:RM 伸長時の下位bitデータ設定

0:SIGN bit

1:乱数

圧縮、伸長モードを選択(CMP_N(D3)=0)した場合、伸長時にデータの無い下位bitに入れるデータを選択します。0の時はSIGN bit (符号bit) を、1の時はM系列の乱数を返します。

D5,D4:BANK[1:0] DLRAM設定

モード	BANK1	BANK0	メモリ
0	0	0	24bit 3kword(RAM A)
1	0	1	12bit 6kword(RAM A)
2	1	0	12bit 4kword(RAM A),24bit 1kword(RAM B)
3	1	1	24bit 1kword(RAM A),12bit 4kword(RAM B)

注) モード0,1では、Pointer0,1どちらも使用する事が可能です。

モード2,3では、Pointer0がRAM Aに、Pointer1がRAM Bに割り当てられます。

DLRAM (遅延RAM) を使用しない場合は、モード2又はモード3に設定してください。

D3:CMP_N 12bitDLRAMデータ圧縮,伸長設定

モード1,2,3時の12bitデータの圧縮、伸長のON,OFFを設定します。

0:圧縮、伸長ON

1:圧縮、伸長OFF

0:圧縮、伸長ON時は、DBUSの上位19bitデータを12bitに圧縮してDLRAMにWRITEし、READ時は12bitのデータを伸長しDBUSに出力します。伸長時の下位bit設定は、D6:RMの設定にしたがいます。

この圧縮により19bit相当のダイナミックレンジと11bit相当のS/N+Dが得られます。

1:圧縮、伸長OFF時は、DBUSの上位12bitをそのままDLRAMにWRITE,READします。READ時下位12bitは、000hをDBUSに返します。

D2,D1:SS[1:0] DLRAMサンプリング設定(RAM Aのみに対応)

モード	SS1	SS0	BANK[1:0]で設定したRAM A
0	0	0	毎サンプリングアドレス更新
1	0	1	2サンプリング毎にアドレス更新
2	1	0	4サンプリング毎にアドレス更新
3	1	1	8サンプリング毎にアドレス更新

注) モード1,2,3を使用した場合は、折り返しが発生します。

D0:0を入力して下さい。

0書込み時に、CONT1の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

3) CONT2 : ADC設定他 (3.ブロック図 参照)

システムリセット時 ($\overline{S_RESET} = "L"$) の書込みを推奨します。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
64h	74h	CONT2	PSAD	SWA	SWQA	SSDIN3	TEST	TEST	TEST	X	00h

D7:PSAD

0: 通常動作

1: ADC部パワーセーブ

ADCを使用しない場合、D7=1にすることによりADCのパワーセーブが可能となります。

(ADCのデジタル出力SDATAは、000000hになります。)

通常動作に戻す場合は、0書込みを行ってください。

D6:SWA (3.ブロック図 (1)全体ブロック図参照)

0:通常設定 (ADC部デジタル出力SDATAをDSP SDIN4に接続)

1: JX0/SDIN4AピンをDSP SDIN4に接続

D5:SWQA (3.ブロック図 (1)全体ブロック図参照)

0:SWQ4=1のときJX0/SDIN4Aピンの入力データをSDOUT4に出力します。

1:SWQ4=1のときADC SDATAをSDOUT4に出力します。

D4: SSDIN3 DBUSへロードするソースの切り替え

0:DR2,DR3スルー出力

1:SDIN3のDigital入力(Lch,Rch)

D3:TEST

0:通常動作

1:テストモード (使用しないで下さい。)

D2:TEST

0:通常動作

1:テストモード (使用しないで下さい。)

D1:TEST

0:通常動作

1:テストモード (使用しないで下さい。)

D0:0を入力して下さい。

0書込み時に、CONT2の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

4) CONT3 : 内部パス設定 (3.ブロック図 参照)

システムリセット時 ($\overline{S_RESET} = "L"$) の書込みを推奨します。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
66h	76h	CONT3	SWJX2	SWJX1	SWJX0	SWQ4	SWQ3	SWQ2	SWQ1	X	00h

D7:SWJX2

0:SDIN2/JX2ピンをSDIN2ピンとして使用します。(JX2=0)
 1:SDIN2/JX2ピンをJX2ピンとして使用します。

D6:SWJX1

0:SDIN3/JX1ピンをSDIN3ピンとして使用します。(JX1=0)
 1:SDIN3/JX1ピンをJX1ピンとして使用します。

D5:SWJX0

0:JX0/SDIN4AピンをJX0ピンとして使用します。
 1:JX0/SDIN4AピンをSDIN4Aピンとして使用します。(JX0=0)

D4:SWQ4

0:DSP SDOUT4を出力します。
 1:SWQA=0;JX0/SDIN4Aを出力します。
 SWQA=1;ADC SDATAを出力します。

D3:SWQ3

0:DSP SDOUT3を出力します。
 1:SDIN3/JX1を出力します。

D2:SWQ2

0:DSP SDOUT2を出力します。
 1:SDIN2/JX2を出力します。

D1:SWQ1

0:DSP SDOUT1を出力します。
 1:SDIN1を出力します。

D0:0を入力して下さい。

0書込み時に、CONT3の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

5) CONT4:CLKO1,CLKO2設定1

システムリセット時 ($\overline{S_RESET} = "L"$) の書込みを推奨します。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
68h	78h	CONT4	$\overline{CLK1E}$	CLK1S1	CLK1S0	$\overline{CLK2E}$	CLK2S1	CLK2S0	TEST	X	00h

このレジスタ設定切り替え時にCLKO1,CLKO2にノイズが発生することがあります。

また、CLKO1,CLKO2が出力されると、 $\overline{CLK1E} = 1$ 、 $\overline{CLK2E} = 1$ もしくはイニシャルリセットをかけない限り停止しません。

D7: $\overline{CLK1E}$ CLKO1出力制御ピン

0: CLK1S1,CLK1S0で選択されたクロックをCLKO1より出力します

1: CLKO1の出力を"L"にします。

D6,D5:CLK1S1,CLKS0 CLKO1出力クロック選択

モード	CLK1S1	CLK1S0	CLKO1
0	0	0	MCLK/2
1	0	1	MCLK/3
2	1	0	MCLKx2/9
3	1	1	TEST

注1) MCLKは、内部マスタークロックです。MCLKは、入力周波数XTIによって変化し、通常MCLK=36.864MHzもしくは、33.8688MHzです。

(5)システムクロック 1)クロック対応表を参照してください。

注2) $\overline{INIT_RESET}$ 解除後、クロックを出力するまでの時間

CKS[1:0]=0h(XTI=18.432MHz) : 15ms(max)

CKS[1:0]=1h(XTI=12.288MHz) : 22ms(max)

CKS[1:0]=2h(XTI=24.576MHz) : 22ms(max)

注3) 上表のfsは48KHzまたは44.1KHzです。CONT0サンプリングレート設定で決定されるサンプリングレートとは関係ありません。

D4: $\overline{CLK2E}$ CLKO2出力制御ピン

0: CLK2S1,CLK2S0で選択されたクロックをCLKO2より出力します。

1: CLKO2の出力を"L"にします。

D3,D2:CLK2S1,CLK2S0 CLKO2出力クロック選択

モード	CLK2S1	CLK2S0	CLKO2
0	0	0	MCLK/2
1	0	1	MCLK/3
2	1	0	MCLKx2/9
3	1	1	TEST

注) 注1,2と同じ

D1:TEST

0:通常動作

1:テストモード(使用しないで下さい。)

D0:0を入力して下さい。

0書込み時に、CONT4の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

6) CONT5: CLK01,CLK02設定2

システムリセット時 ($\overline{S_RESET} = "L"$) のみ書込みが可能です。

Command Code		Name	D7	D6	D5	D4	D3	D2	D1	D0	Default
Write	Read										
6Ah	7Ah	CONT5	SWEE	SETC1	SETC2	TEST	TEST	TEST	TEST	X	00h

注) CONT0の設定後にCONT5の設定を行ってください

D7:SWEE CLK02出力選択

0:CLK02(@ESEL="L"),EEST(@ESEL="H")

1:CLK02(@ESEL="L"or"H")

D6: SETC1

0: CONT4 CLK1S1,CLK1S0で設定したクロックをCLK01に出力します。

1: CONT0 SETCKで設定した値を出力します。

注) SETC1=1の場合、システムリセット解除後までにSETCKに応じたクロックを出力します。このレジスタ設定切り替え時にCLK01にノイズが発生することがあります。

また、CLK01が出力されると、 $\overline{CLK1E} = 1$ もしくはイニシャルリセットをかけない限り停止しません。

(クロックが供給されている場合)

D5: SETC2

0: CONT4 CLK2S1,CLK2S0で設定したクロックをCLK02に出力します。

1: CONT0 SETCKで設定した値を出力します。

注) SETC2=1の場合、システムリセット解除後までにSETCKに応じたクロックを出力します。このレジスタ設定切り替え時にCLK02にノイズが発生することがあります。

また、CLK02が出力されると、 $\overline{CLK2E} = 1$ もしくはイニシャルリセットをかけない限り停止しません。

(クロックが供給されている場合)

ESEL="H"時でもSETC2=1の場合、SETC2の設定が有効となります。

D4:TEST

0:通常動作

1:テストモード(使用しないで下さい。)

D3: TEST

0:通常動作

1:テストモード(使用しないで下さい。)

D2:TEST

0:通常動作

1:テストモード(使用しないで下さい。)

D1:TEST

0:通常動作

1:テストモード(使用しないで下さい。)

D0:0を入力してください。

0書込み時に、CONT5の設定が確定します。

注) ~ の設定値の下線部は初期値を表します。

(3) 電源立ち上げシーケンス

電源投入は、 $\overline{\text{INIT_RESET}} = \text{L}$ 、 $\overline{\text{S_RESET}} = \text{L}$ で行って下さい。

$\overline{\text{INIT_RESET}} = \text{L}$ 中にコントロールレジスタ等が初期化されます。(注1)(注2)

次に、 $\overline{\text{INIT_RESET}} = \text{H}$ にすることによりVREF発生回路(アナログ基準電圧源)及びPLLが立ち上がり、PLLにより内部マスタークロックを生成します。このためAK7730とのインターフェースはPLLが安定発振した(22ms)のちに行ってください。(注3)

$\overline{\text{INIT_RESET}}$ による初期化は通常、電源立ち上げ時のみでかまいません。

- 注1) 初期化が確実に行為れるためには、電源が立ち上がり、マスタークロック(XTI)が供給されている必要があります。
- 注2) 水晶振動子を使用する場合は発振が安定した後に $\overline{\text{INIT_RESET}} = \text{H}$ にして下さい。なお、発振が安定する時間は、水晶振動子、外付け回路によって異なります。
- 注3) $\text{CKS}[1:0]=0\text{h}$ の時15msです。 $\text{CKS}[1:0]=1\text{h},2\text{h}$ の時は22msとなります。

注意 システムクロック(スレープモード: XTI, LRCLK, BITCLK、マスタモード: XTI)は、イニシャルリセット時($\overline{\text{INIT_RESET}} = \text{L}$ かつ $\overline{\text{S_RESET}} = \text{L}$)または、システムリセット時($\overline{\text{S_RESET}} = \text{L}$)以外は止めないで下さい。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。

また、 $\overline{\text{INIT_RESET}} = \text{L}$ 期間中は、 $\overline{\text{S_RESET}} = \text{H}$ にしないで下さい。この場合、水晶振動子の発振が停止または不安定になります。

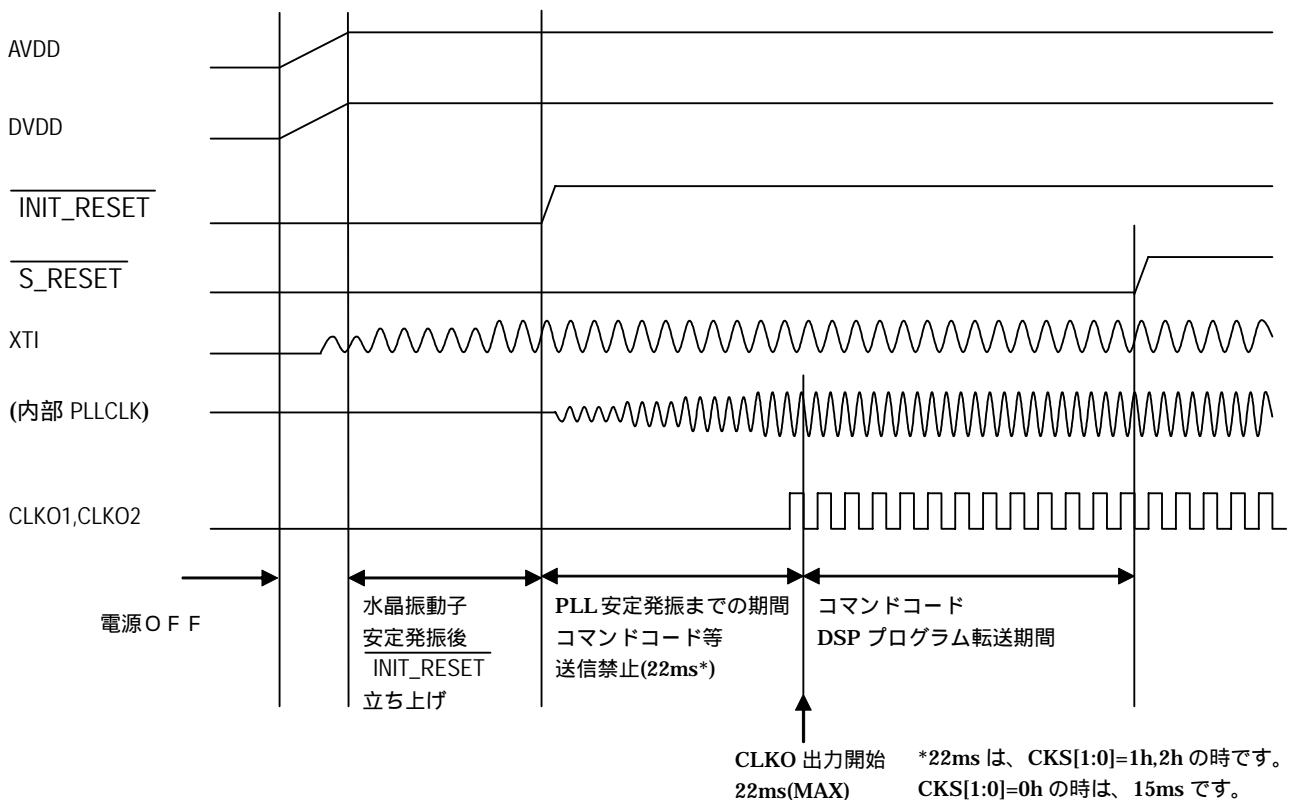


図 電源立ち上げシーケンス

(4) リセットについて

AK7730Aでは、リセットピンとして $\overline{\text{INIT_RESET}}$, $\overline{\text{S_RESET}}$ の2つがあります。

$\overline{\text{INIT_RESET}}$ は、電源立ち上げシーケンスの項で述べたように、AK7730Aの初期化に使用します。

$\overline{\text{INIT_RESET}} = \text{"H"}$ かつ $\overline{\text{S_RESET}} = \text{"L"}$ でシステムリセット状態になります。(単にリセットと書いてあれば、システムリセットを指します。)

このシステムリセット状態で通常はプログラム書き込み等を行います。(RUN中書き込みを除く。)
システムリセット中は、ADC部もリセット状態になります。ただし、VREF発生回路は動作状態です。マスターモード時のLRCLK,BITCLKは停止します。

システムリセットは、 $\overline{\text{S_RESET}}$ を"H"に立ち上げることにより解除され、内部のカウンタが動き出します。

マスターモード時のLRCLK,BITCLKは、このカウンタにより生成されますが、クロック発生時にハザードが出る場合があります。

スレーブモード時は、システムリセットを解除するとLRCLKの" "(標準入力フォーマット時)に同期して、内部のタイミングが動作します。外部クロックと内部とのタイミング合わせはこの時のみ行われます。したがって、LRCLKと内部タイミングの位相差がでないようにしてください。動作中、LRCLKと内部タイミングの位相差が入力サンプリング周期(1/fs)の約-1/16 ~ 1/16以内であれば内部タイミングはそのまま動作します。位相差が上記範囲より大きくなった時、LRCLKの" "(標準入力フォーマット時)に同期して位相合わせが行われます。これは、ノイズなどにより外部回路との同期がとれなくなることを防ぐための回路であり、同期外れが正常に戻ってもしばらくの間正常なデータは出力されません。

ADC部は内部カウンタが動作後、516LRCLK後よりデータ出力が可能になります。(内部カウンタは、マスターモード時にはシステムリセット解除後、スレーブモード時にはシステムリセット解除後約2LRCLK後に動作します。)

$\overline{\text{S_RESET}}$ が"H"に立ち上がることによりAK7730Aは通常の動作状態になります。

(5) システムクロック**1) クロック対応表**

(A) サンプル周波数48kHz系列 (標準速:48kHz、倍速:96kHz、4倍速:192kHz)

XTI	INPUT PIN CKS1	INPUT PIN CKS0	CONT0 DFS2	CONT0 DFS1	CONT0 DFS0	FS [KHz]	DSP STEP 数	MCLK [MHz]	PLL 動作	AD 動作	水晶 動作
18.432	0	0	0	0	0	48	768	36.864			
			0	0	1	96	384				
			0	1	0	192	192			×	
			0	1	1	32	1152				
			1	0	0	12	3072				
			1	1	1	8	4608				
12.288	0	1	0	0	0	48	768	36.864			
			0	0	1	96	384				
			0	1	0	192	192			×	
			0	1	1	32	1152				
			1	0	0	12	3072				
			1	1	1	8	4608				
24.576	1	0	0	0	0	48	768	36.864			
			0	0	1	96	384				
			0	1	0	192	192			×	
			0	1	1	32	1152				
			1	0	0	12	3072				
			1	1	1	8	4608				
36.864	1	1	0	0	0	48	768	36.864	×		×
			0	0	1	96	384		×		×
			0	1	0	192	192		×	×	×
			0	1	1	32	1152		×		×
			1	0	0	12	3072		×		×
			1	1	1	8	4608		×		×

(B) サブ リンク 周波数44.1kHz系列 (標準速:44.1kHz、倍速:88.2kHz、4倍速:176.4kHz)

XTI	INPUT PIN CKS1	INPUT PIN CKS0	CONT0 DFS2	CONT0 DFS1	CONT0 DFS0	FS [kHz]	DSP STEP 数	MCLK [MHz]	PLL 動作	AD 動作	水晶 動作
16.9344	0	0	0	0	0	44.1	768	33.8688			
			0	0	1	88.2	384				
			0	1	0	176.4	192			×	
			0	1	1	29.4	1152				
			1	0	0	11.025	3072				
			1	1	1	7.35	4608				
11.2896	0	1	0	0	0	44.1	768	33.8688			
			0	0	1	88.2	384				
			0	1	0	176.4	192			×	
			0	1	1	29.4	1152				
			1	0	0	11.025	3072				
			1	1	1	7.35	4608				
22.5792	1	0	0	0	0	44.1	768	33.8688			
			0	0	1	88.2	384				
			0	1	0	176.4	192			×	
			0	1	1	29.4	1152				
			1	0	0	11.025	3072				
			1	1	1	7.35	4608				
33.8688	1	1	0	0	0	44.1	768	33.8688	×		×
			0	0	1	88.2	384		×		×
			0	1	0	176.4	192		×	×	×
			0	1	1	29.4	1152		×		×
			1	0	0	11.025	3072		×		×
			1	1	1	7.35	4608	×		×	

(C) CLK01,2 出力選択情報

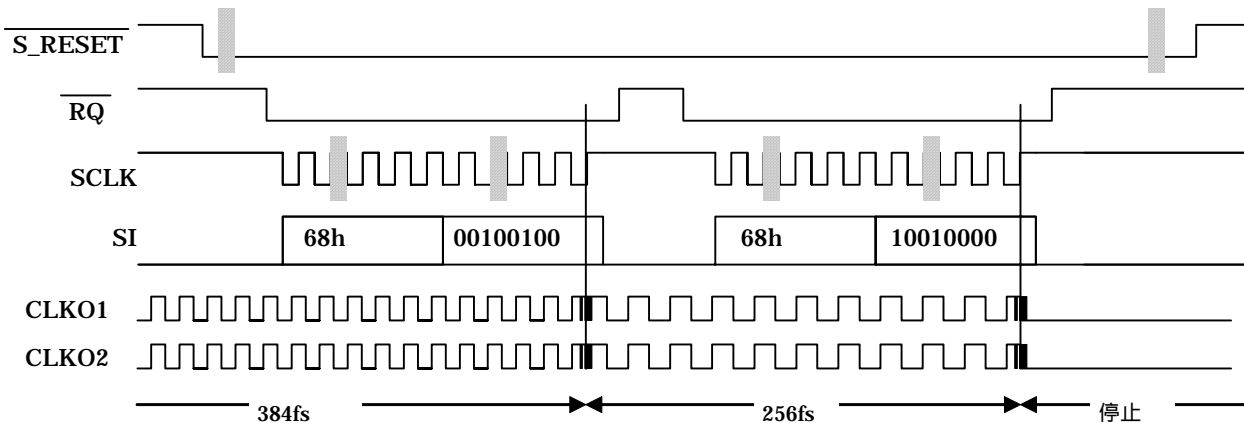
XTI	INPUT PIN CKS1	INPUT PIN CKS0	CONT5 SETC1/ SETC2	CONT4 CLK1S1/ CLK2S1	CONT4 CLK1S0/ CLK2S0	OUTPUT CLKO1 CLKO2(MHz)
18.432	0	0	0	0	0	18.432
			0	0	1	12.288
			0	1	0	8.192
			1	X	X	(256fs)
12.288	0	1	0	0	0	18.432
			0	0	1	12.288
			0	1	0	8.192
			1	X	X	(256fs)
24.576	1	0	0	0	0	18.432
			0	0	1	12.288
			0	1	0	8.192
			1	X	X	(256fs)
36.864	1	1	0	0	0	18.432
			0	0	1	12.288
			0	1	0	8.192
			1	X	X	(256fs)

(D) CLKO1,2出力情報

INIT_RESET	S_RESET	CLKO1/CLKO2	
		CLK1E / CLK2E =0	CLK1E / CLK2E =1
L	L	停止	-
H	L	動作	停止
H	H	動作	停止

(E) 出力タイミングのイメージ

下図は、どのタイミングでCLKO1,CLKO2の出力が切り替わるかをイメージしたものです。
(切り替え時のクロックの位相は、図のとおりとは限りません。)



CONT4 レジスタの設定を 00h(Default 値)から切り替えた場合の例

fs=48kHz,44.1kHz

2) マスタクロック(XTIL[°])

マスタクロックは、XTIL[°]とXTO[°]の間に水晶振動子を接続するか、または、XTO[°]をオープンにしてXTIL[°]に外部からクロックを入力して得られます。

3) スレブモード

必要とされるシステムクロックは、XTILRCLK(1fs),BITCLK(64fs,48fs:64fsを推奨)です。
マスタクロック(XTI)とLRCLKは、同期をとる必要がありますが位相を合わせる必要はありません。

4) マスタモード

必要とされるシステムクロックは、XTIです。マスタクロック(XTI)を入力するとXTIに同期した内部カウンタよりLRCLK(1fs)とBITCLK(64fs)が出力されます。

LRCLK,BITCLKは、初期リセット(INIT_RESET = "L")、システムリセット(INIT_RESET = "L" かつ S_RESET = "L")中は、出力されません。

(6) オーディオデータインターフェース

シリアルオーディオデータピンSDIN1,SDIN2,SDIN3,SDIN4A,SDOUT1,SDOUT2,SDOUT3,SDOUT4はLRCLK,BITCLKを使用して外部システムとのインターフェースを行います。使用する際は、コントロールレジスタの設定が必要です。(全体ブロック図、コントロールレジスタの設定を参照して下さい。)

データフォーマットは2'sコンプリメントのMSBファーストです。入出力フォーマットは、AKM標準フォーマットの外に、CONT0 DIF5(D4)を1に設定する事によりI²S互換モードにすることができます。(この場合すべての入出力オーディオデータピンのインターフェースは、I²S対応となります。)

入力SDIN1,SDIN2,SDIN3,SDIN4Aのフォーマットは、初期設定では前詰め(24bit)ですが、コントロールレジスタCONT0 DIF1(D3),DIF0(D2)を設定する事により、後詰め24bit,後詰め20bit,後詰め16bitにも対応します。

(注: CONT0 DIF(D5)=0)

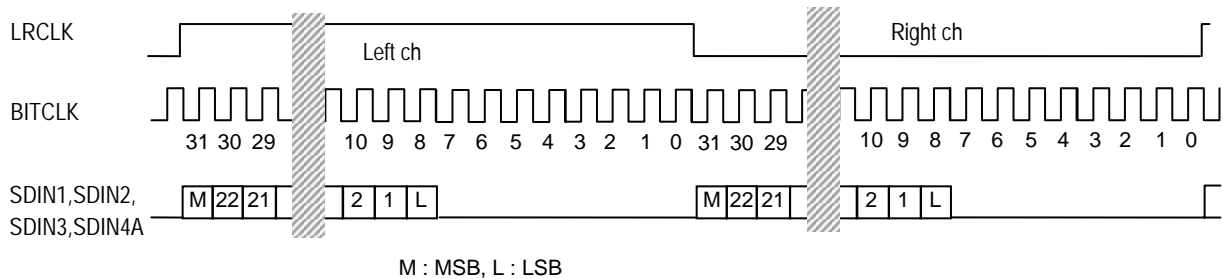
ただし、SDIN1,SDIN2,SDIN3,SDIN4Aを個別に設定することは出来ません。

出力SDOUT1,SDOUT2,SDOUT3,SDOUT4は、前詰め24bit固定です。

スリープモード時は、BITCLKは48fsでも入力可能です。入力フォーマットは、BITCLKが64fsの場合を明記します。

1) 標準入力フォーマット (DIF=0: 初期設定値)

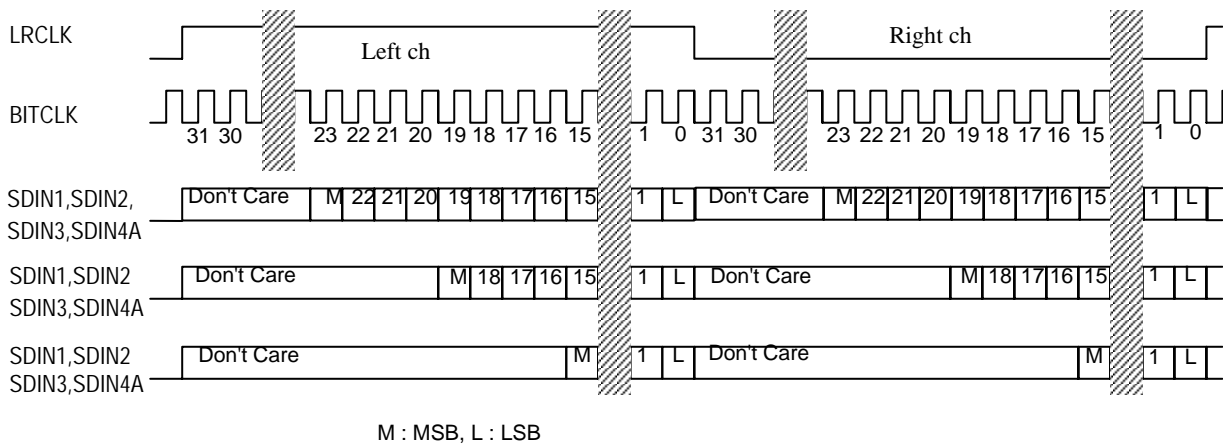
a) モード1 (DIF1,DIF0=0,0: 初期設定値)



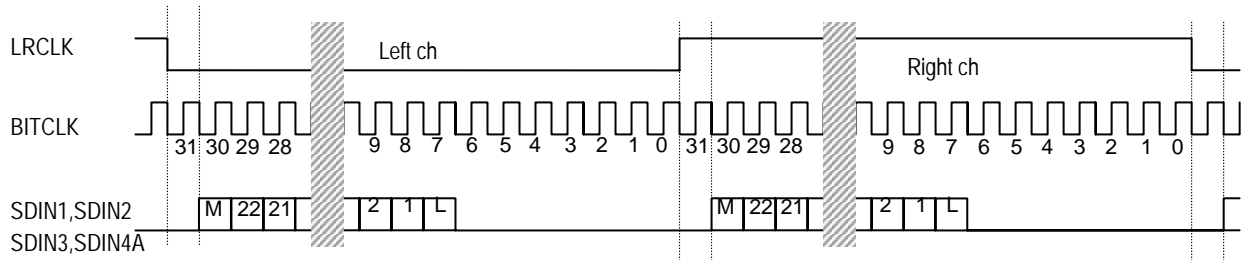
・SDIN,SDINAに前詰め20bitのデータを入力する場合は、LSBに続けて4個の"0"を入力して下さい。

b) モード2, モード3, モード4

- SDIN1,SDIN2,SDIN3,SDIN4A モード2: (DIF1,DIF0)=(0,1) 後詰め24bit
- SDIN1,SDIN2,SDIN3,SDIN4A モード3: (DIF1,DIF0)=(1,0) 後詰め20bit
- SDIN1,SDIN2,SDIN3,SDIN4A モード4: (DIF1,DIF0)=(1,1) 後詰め16bit



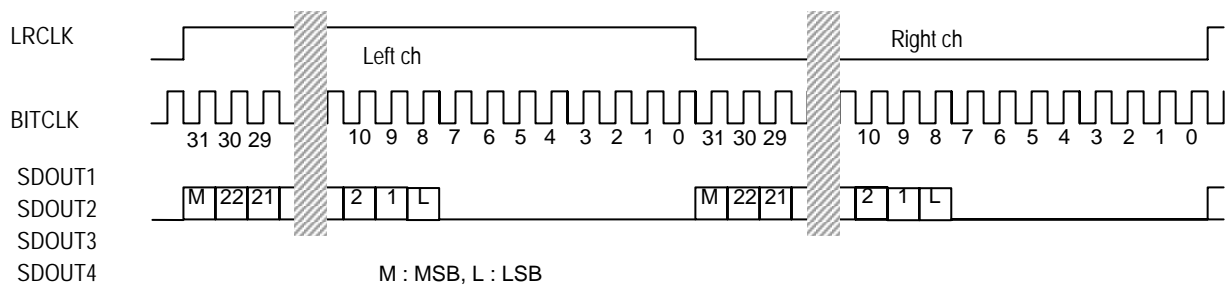
2) I²S互換入力フォーマット (DIF=1)



M : MSB, L : LSB

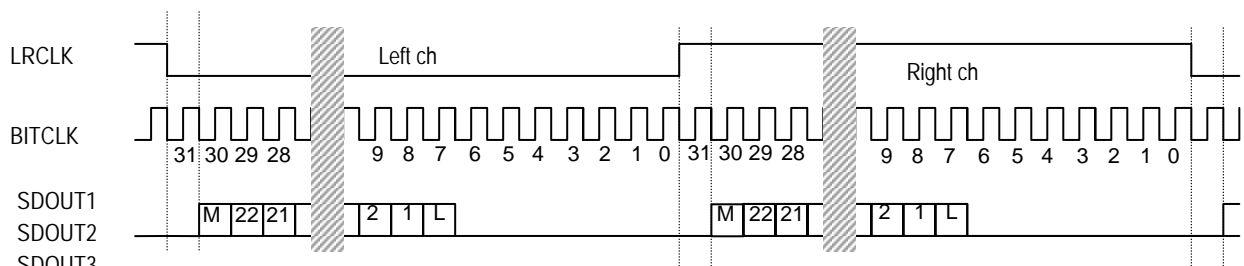
メモ 1 : (DIF1(D4),DIF0(D3))=(0,0)を設定して下さい。

3) 標準出力フォーマット (DIF=0 : 初期設定値)



M : MSB, L : LSB

4) I²S互換出力フォーマット (DIF=1)



M : MSB, L : LSB

(7) マイコンとのインターフェース

マイコンとのインターフェースは、 $\overline{\text{RQ}}$ (ReQuest Bar), SCLK(Serial data input CLock), SI(Serial data Input), SO(Serial data Output), RDY(ReaDY), DRDY(Data ReaDY)の6つの制御信号で実施します。

AK7730Aでは、システムリセット中の書き込み(WRITE)、読み出し(READ)と動作中の書き込み、読み出しの2種類が用意されています。

リセット中においては、コントロールレジスタ、プログラムRAM、係数RAM、オセットRAM、外部条件ジャンプ用コードの書き込みとコントロールレジスタ、プログラムRAM、係数RAM、オセットRAMの読み出しが可能です。

動作中においては、係数RAM、オセットRAM、外部条件ジャンプ用コードの書き込みとSOからDBUS(データバス)上のデータ読み出し、コントロールレジスタ読み出しが可能です。データはMSBファーストでシリアル入出力します。

マイコンとAK7730Aとのインターフェースを行う場合は、DBUSのデータ読み出しを除いて、 $\overline{\text{RQ}}$ を"L"にして行います。SCLKの立ち上がりでデータを取り込み、SCLKの立ち下がりでデータを出力します。データは、最初にコマンドコードを入力し、次にアドレスや係数などデータの入出力を行います。

$\overline{\text{RQ}}$ を"H"にする事により1つのコマンドが終了しますので、新たにコマンドを書き込むためには、 $\overline{\text{RQ}}$ を"H"にしたのち再び"L"にして書き込みを行って下さい。

DBUSのデータ読み出しの場合は、 $\overline{\text{RQ}}$ を"H"にして行います。(コマンドコードの入力はありません。)

SIは、用途によって制御信号として使用する場合があります。(その場合は、通常のクロックと同様に、ノイズに対する注意を行って下さい。)

コマンドコードの一覧を下表に示します。

コマンドコードの一覧

使用条件	コード名	コマンドコード		備考
		WRITE	READ	
リセット	CONT0	60h	70h	コントロールレジスタの設定内容は、 (2) <u>コントロールレジスタ設定</u> を参照して下さい。
	CONT1	62h	72h	
	CONT2	64h	74h	
	CONT3	66h	76h	
	CONT4	68h	78h	
	CONT5	6Ah	7Ah	
	PRAM	C0h	C1h	
	CRAM	A0h	A1h	
	OFRAM	90h	91h	
	外部条件ジャンプ	C4h	-	
CRCチェック(R(x))	B6h	D6h		
動作時	CONT0 ~ CONT5	x	70h	READ可能、リセット時と同一コード
	CRAM書込準備	A8h	-	動作時書込する前に必要。
	CRAM書込	A4h	-	
	OFRAM書込準備	98h	-	動作時書込する前に必要。
	OFRAM書込	94h	-	
	外部条件ジャンプ	C4h	-	リセット時と同一コード
	CRCチェック(R(x))	B6h	D6h	リセット時と同一コード

注意：一部重複使用しているコードがあるため、上記のコマンドコード以外は送らないで下さい。
誤動作の原因となります。

マイコンとの通信が無い場合は、SCLKは"H"、SIは"L"にして使用して下さい。

1) リセット中の書き込み

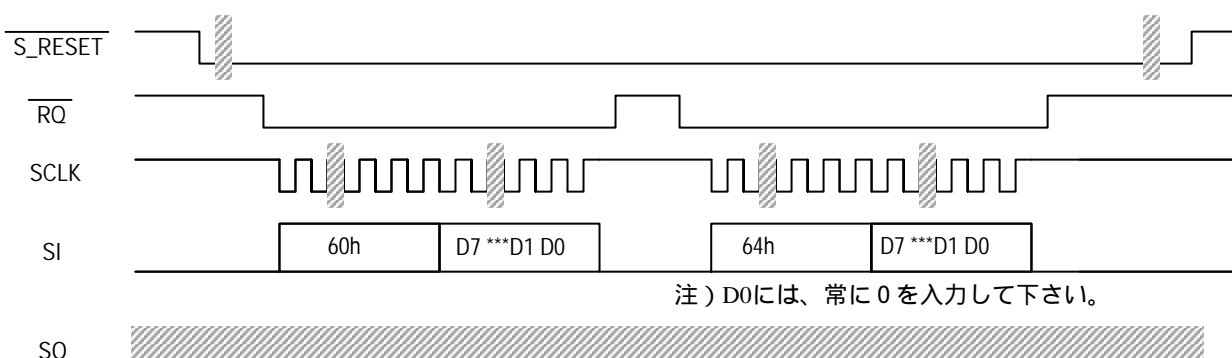
a) コントロールレジスタ書き込み (リセット時)

コントロールレジスタ書き込み(リセット時)は2バイト1組(16bit)のデータで実行します。16個目のSCLKの立ち上がりで、設定値は各レジスタに取り込まれます。

データ転送手順

コマンドコード	60h,62h,64h,66h,68h,6Ah
コントロールデータ	(D7 D0)

各ビットの機能は、8.機能説明、(2)コントロールレジスタ設定を参照して下さい。



コントロールレジスタ書き込み例

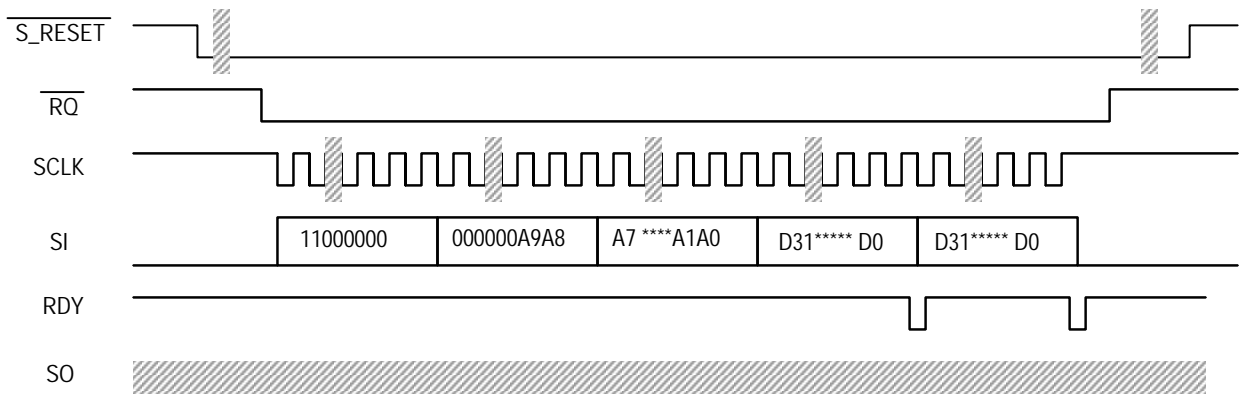
b) プログラムRAM書き込み (リセット時)

プログラムRAM書き込みは、リセット時に3+4*nバイト1組のデータで実行します。全てのデータが転送されるとRDY端子が”L”になり、プログラムRAMへの書き込みが終了すると”H”になって次のデータが入力可能となります。連続したアドレスで、データを書き込む場合はそのままデータを入力して下さい。(コマンドコードとアドレスは不要)。不連続のデータを書き込む場合は RQ 端子を再度”H” ”L”としてからコマンドコード、アドレス、データの順に入力して下さい。

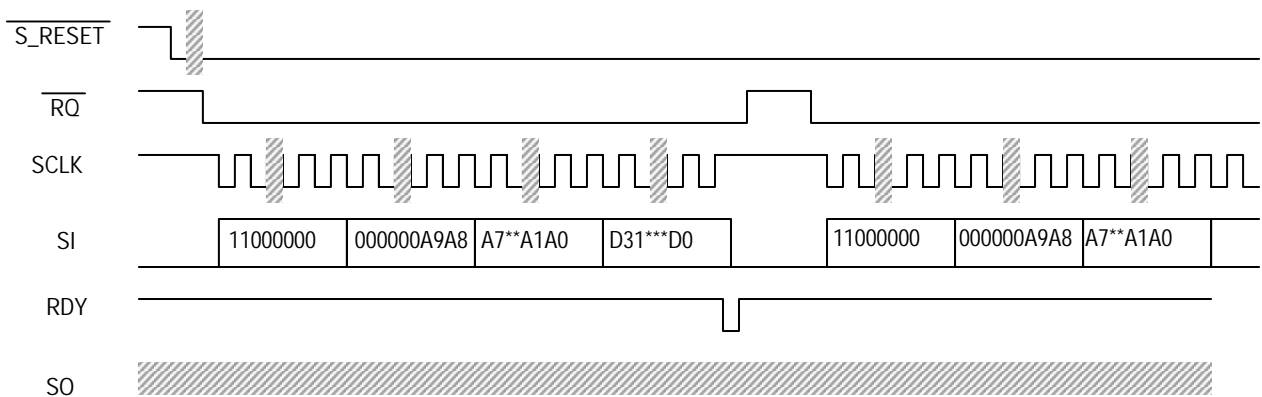
注) RDYが”L”になる期間はtyp条件でマスタークロック1個分以下(20ns程度)になります。

データ転送手順

コマンドコード C0h	(1 1 0 0 0 0 0 0)
アドレス上位	(0 0 0 0 0 0 A9 A8)
アドレス下位	(A7 A0)
データ	(D31 D24)
データ	(D23 D16)
データ	(D15 D8)
データ	(D7 D0)



連続したアドレスのデータをプログラムRAMに入力する場合



不連続なアドレスのデータをプログラムRAMに入力する場合

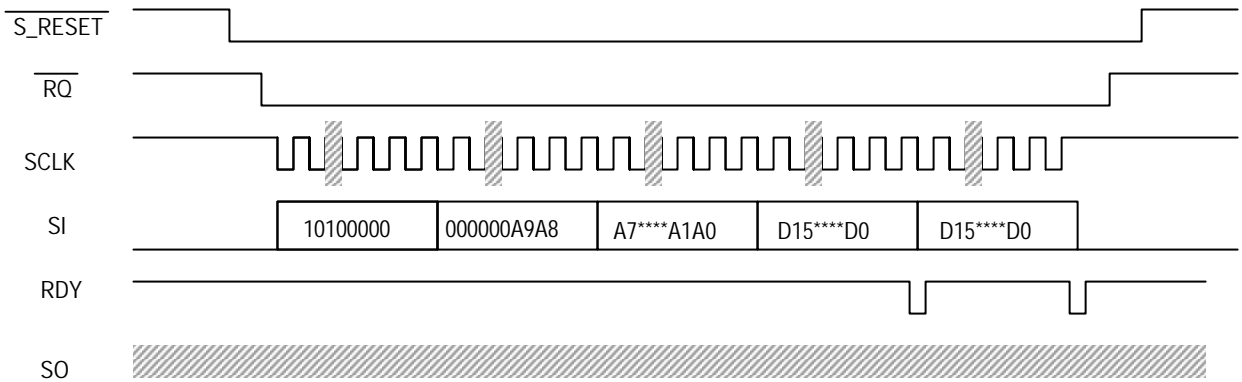
c) 係数RAM書き込み (リセット時)

係数RAM書き込み(リセット時)は $3+2*n$ バイト 1組のデータで実行します。全てのデータが転送されるとRDY端子が”L”になり、係数RAMへの書き込みが終了すると”H”になって次のデータがデータが入力可能となります。連続したアドレスで、データを書き込む場合はそのままデータを入力して下さい。不連続のデータを書き込む場合は、 \overline{RQ} 端子を”H” ”L”としてからコマンドコード、アドレス、データの順に入力して下さい。

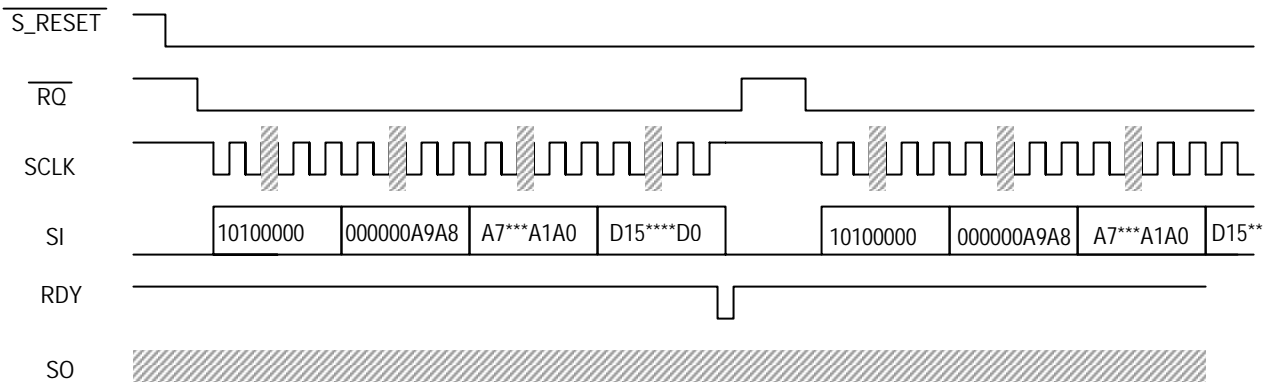
注) RDYが”L”になる期間はtyp条件でマスタークロック1個分以下(20ns程度)になります。

データ転送手順

コマンドコード	A0h (1 0 1 0 0 0 0 0)
アドレス上位	(0 0 0 0 0 0 A9 A8)
アドレス下位	(A7 A0)
データ	(D15 D8)
データ	(D7 D0)



連続したアドレスのデータを係数RAMに入力する場合



不連続なアドレスのデータを係数RAMに入力する場合

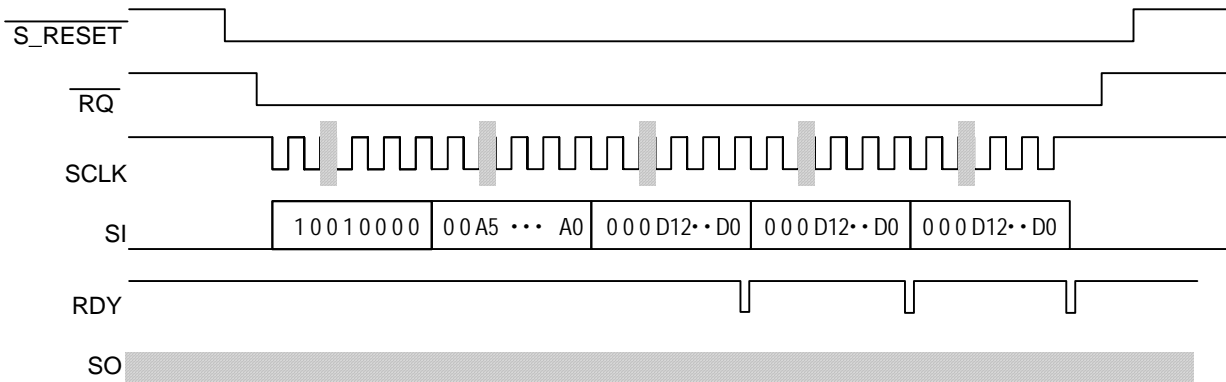
d) オフセットRAM書き込み(リセット時)

オフセットRAM書き込み(リセット時)は、最初にコマンドコードを書き込んだ後、アドレスを書き込み、続いて3*nバイト1組のデータを書き込みます。データが転送されるとRDY端子が"L"になり、オフセットRAMへの書き込みが終了すると、"H"になって次のデータが入力可能となります。

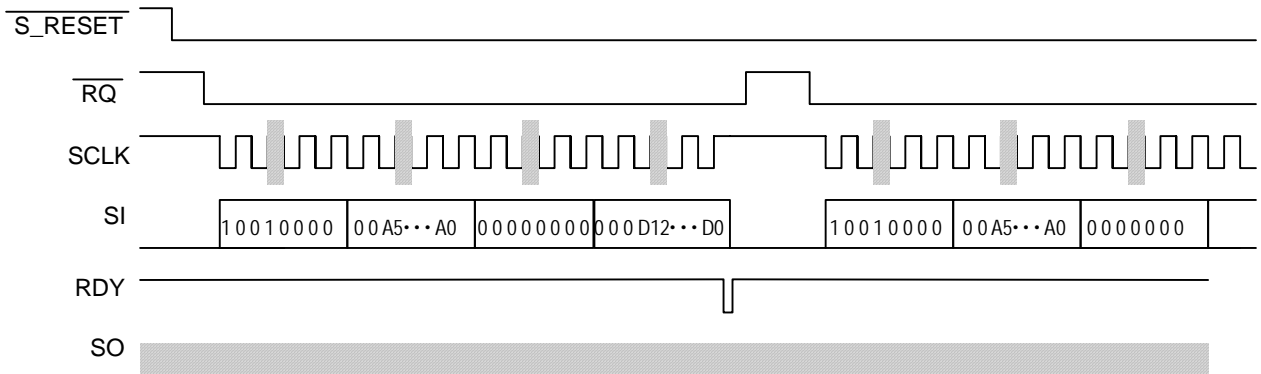
注) RDYが"L"になる期間はtyp条件でマスタークロック1個分以下(20ns程度)になります。

データ転送手順

コマンドコード	90h (1 0 0 1 0 0 0 0)
アドレス	(0 0 A5 A4 A0)
データ	(0 0 0 0 0 0 0 0)
データ	(0 0 0 D12 . . . D9 D8)
データ	(D7 D0)



連続したアドレスのデータを OFRAM に入力する場合



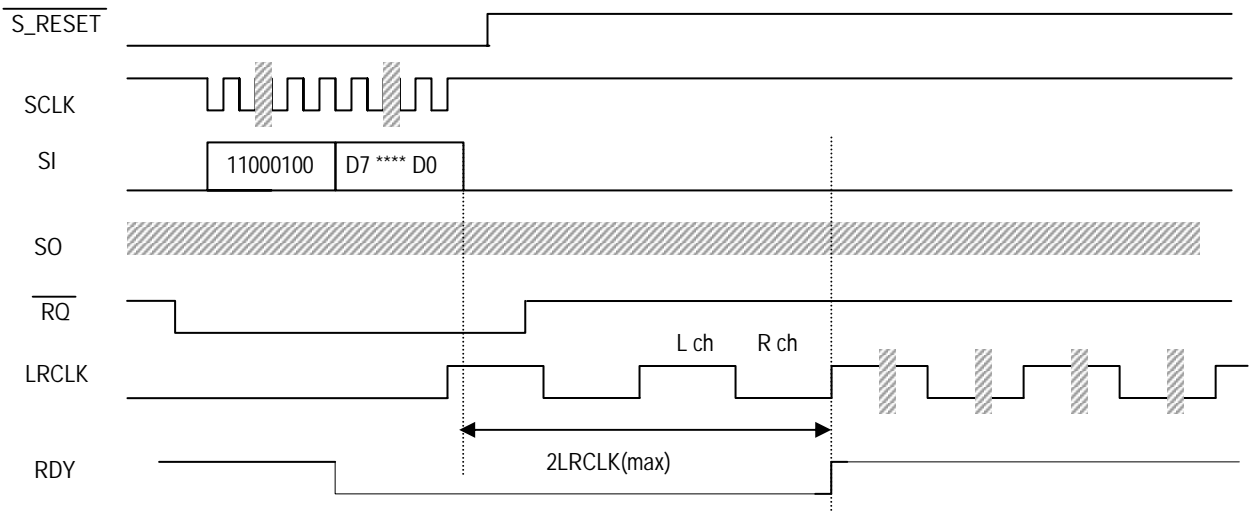
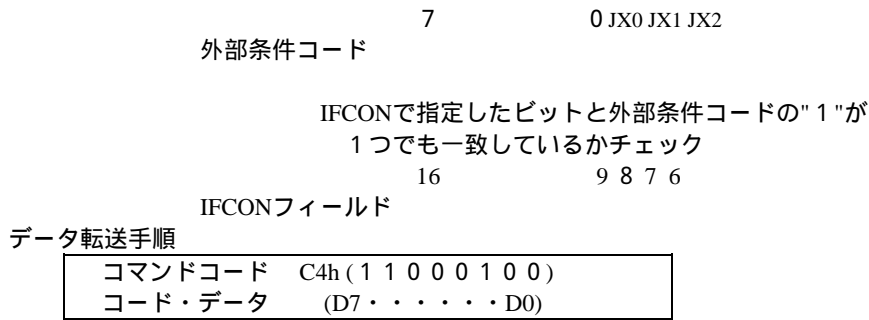
不連続なアドレスのデータを OFRAM に入力する場合

e) 外部条件ジャンプ用コード書き込み (リセット時)

外部条件ジャンプ用コード書き込みは、プログラムのダウンロードなど必要な操作を実施した、一番最後に行ってください。コード書き込みは2バイト1組のデータで実行します。リセット時と動作時共に入力でき、入力データはLRCLK立ち上がりで所定のレジスタにセットされます。すべてのデータが転送されるとRDY端子が"L"になり、書き込みが終了すると"H"になります。外部条件コードは8ビットと、外部入力端子JX0,JX1,JX2の1ビットコードの各ビットとIFCONフィールドの各ビットの"1"が1つでも一致したらジャンプ命令が実行されます。リセット時にデータを書き込む時は、すべてのデータを転送後、リセット解除前にしか実行できません。リセット時の書き込み時の、 \overline{RQ} の"L" "H"は、リセット解除後に、2MCLK分以上後に実施して下さい。その後、次のLRCLKの立ち上がりを捉えた後、RDYは"H"になります。RDYが"H"になるまでは、マイコンからの書き込みは禁止します。IFCONフィールドは、プログラムに書かれた外部条件です。

このジャンプ用コードは $\overline{INIT_RESET}$ を"L"にすると00hにリセットされますが、 $\overline{S_RESET}$ ではリセットされません。

注) I²S互換時は、LRCLKの位相は反転していますので注意して下さい。



外部条件ジャンプ書き込みタイミング (リセット時)

2) リセット中の読み出し

a) コントロールレジスタ読み出し(リセット時)

コントロールレジスタ読み出し(リセット時)は16bitのSCLKで実行されます。コマンドコード入力後、SCLKの立ち下がりで、コントロールレジスタの設定値D7～D1が出力されます。D0に相当する部分は、レジスタがありませんので、16個目のSCLKの立ち上がりまで常に0が出力されます。

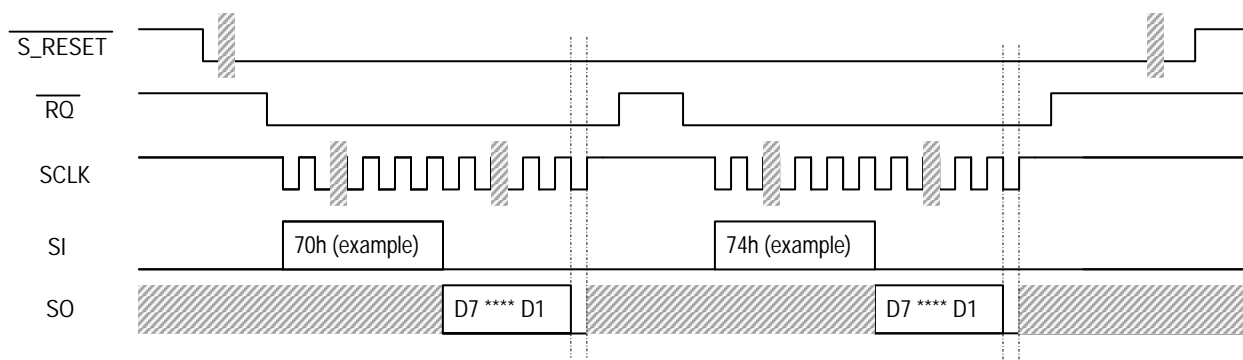
注) 16個目のSCLKの立ち上がりでD0の値を取り込んだ場合、0であるとは限らないのでD0の値は無視するようにして下さい。(16個目のSCLKの立ち上がり以降は不定のため。)

データ転送手順

コマンドコード	70h,72h,74h,76h,78h,7Ah
---------	-------------------------

。

各ビットの機能は、8.機能説明、(2)コントロールレジスタ設定を参照して下さい。



コントロールレジスタ読み出し例

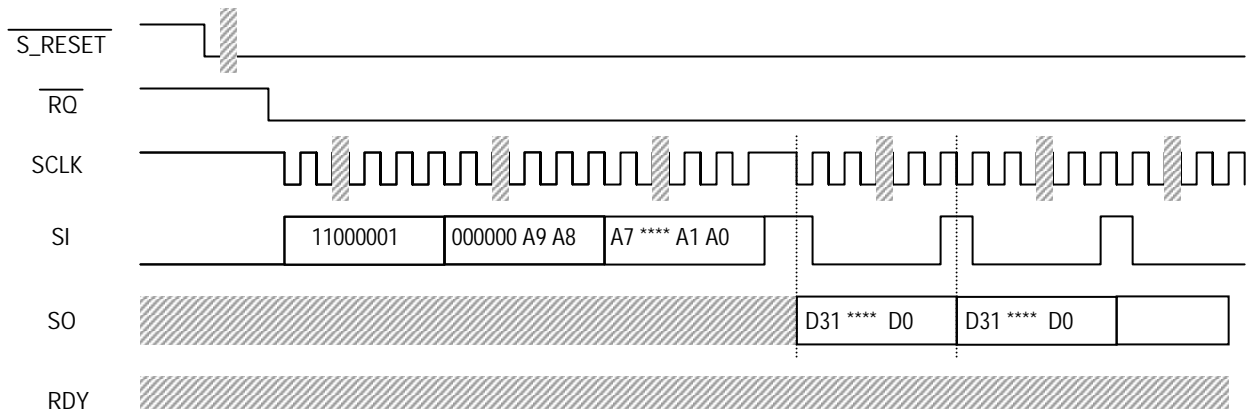
b) プログラムRAM読み出し(リセット時)

書き込まれたプログラムRAMのデータは、コマンドコード入力、読み出したいアドレスを入力し、SIを"H"にして、SCLKを立ち下げると出力する準備が完了します。次にSIを"L"にするとSCLKの立ち下がりに同期してSOよりデータが出力されます。(この際、RDYが動作しますが無視して下さい。)

読み出したいアドレスが連続している場合は、再びSIを"H"にするところから繰り返して下さい。

データ転送手順

コマンドコード	C1h (1 1 0 0 0 0 0 1)
アド上位	(0 0 0 0 0 0 A9A8)
アド下位	(A7 A0)



プログラムRAMデータ読み出し

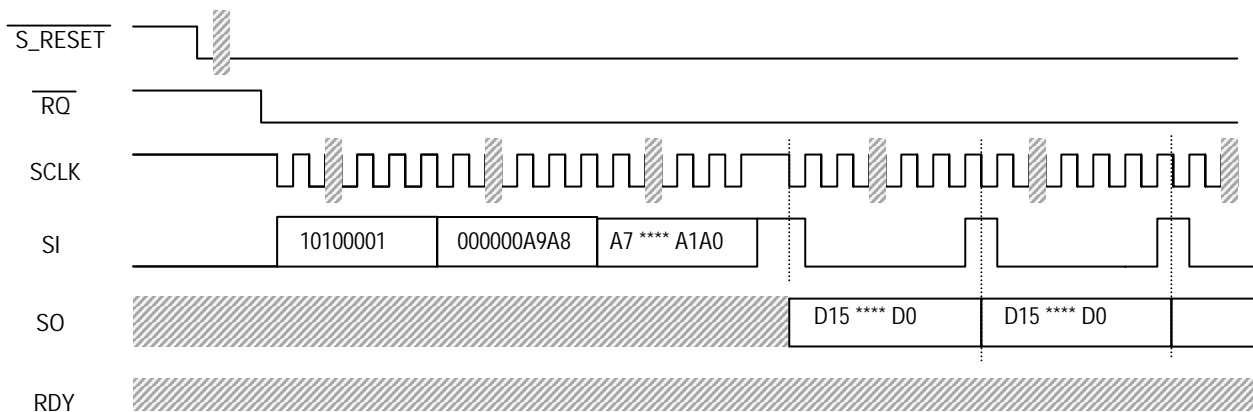
c) 係数RAMデータ読み出し(リセット中)

書き込まれた係数RAMデータを読み出す手順は、コマンドコードを入力し、読み出したいアドレスを入力して、SIを"H"にしてSCLKを立ち下げると出力する準備が完了します。次にSIを"L"にするとSCLKの立ち下がりに同期してSOよりデータが出力されます。(この際、RDYが動作しますが無視して下さい。)

読み出したいアドレスが連続している場合は、再びSIを"H"にするところから繰り返して下さい。

データ転送手順

コマンドコード	A1h	(1 0 1 0 0 0 0 1)
アドレス上位		(0 0 0 0 0 0 A9 A8)
アドレス下位		(A7 A0)



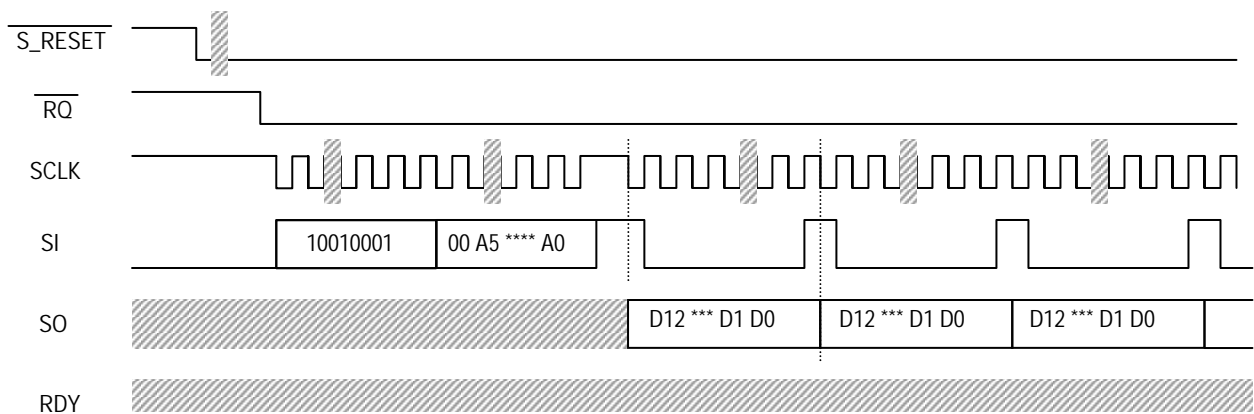
係数RAMデータ読み出し

d) オフセットRAMデータ読み出し(リセット中)

書き込まれたオフセットRAMデータをリセット中に読み出す事が可能です。手順はコマンドコードを入力し、読み出したいアドレスを入力し、SIを"H"にしてSCLKを立ち下げると出力する準備が完了します。次にSIを"L"にするとSCLKの立ち下がりに同期してSOよりデータが出力されます。(この際、RDYが動作しますが無視して下さい。)SCLKを14個以上入れた場合は、14個目以降は0が出力されます。

データ転送手順

コマンドコード	91h (1 0 0 1 0 0 0 1)
アドレス	(0 0 A5 **** A0)



OFRAMデータ読み出し

3) RUN中書き込み

a) 係数RAM書込準備と書込 (RUN状態)

プログラム実行中に係数RAM(CRAM)を書き換えたい時に使用します。コマンドコード入力後、書き換えたい連続したアドレスのデータを最大16個まで入力可能です。

次に、書込コマンドコードと書込の先頭アドレスを入力すると、書き換えられるRAMアドレスが指定される毎に、RAM内容の書換が実行されます。例えば、5つのデータを係数RAMのアドレス"10"より書き換える場合、次のように実行されます。

係数RAM実行アドレス 7 8 9 10 11 13 16 11 12 13 14 15

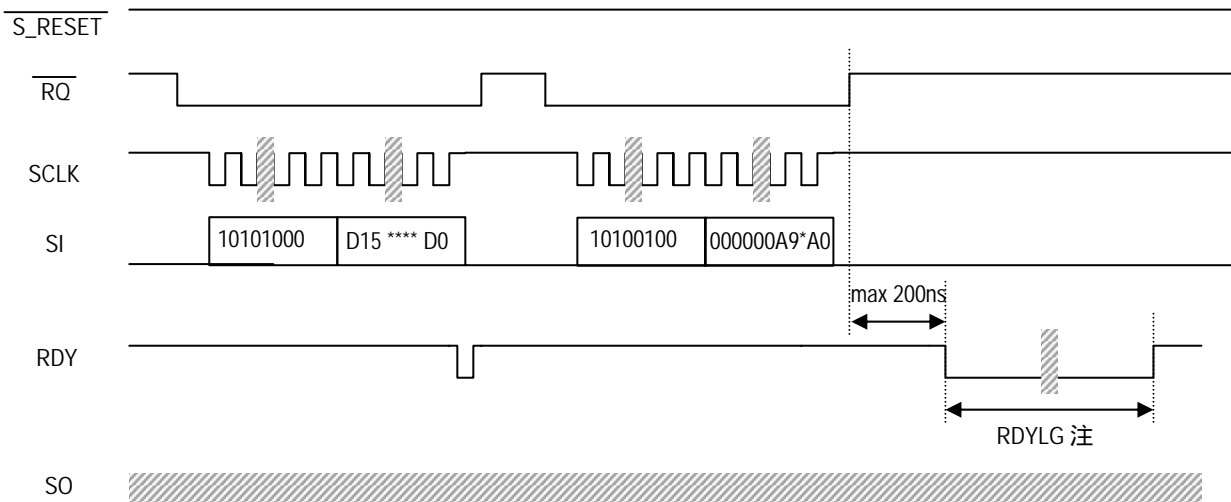
書込実行位置

アドレス"13"はアドレス"12"が書き換えられるまで実行されませんのでご注意ください。

データ転送手順

* 書込準備	コマンドコード	A8h (1 0 1 0 1 0 0 0)
	データ	(D15 D8)
	データ	(D7 D0)
* 書込	コマンドコード	A4h (1 0 1 0 0 1 0 0)
	アドレス上位	(0 0 0 0 0 0 A9 A8)
	アドレス下位	(A7 A0)

注意 必ず書込準備、書込の順で入力して下さい。書込準備をせずに書込を行なうと誤動作します。書込準備時のRDYが"L"になる期間はtyp条件でマスタークロック1個分以下(20ns程度)になります。



注：RDYLG幅は、1 サイクル以内には必ず新たなアドレスを書き換える様にプログラムを組んであれば、最大2 LRCLK以内にRDY信号は立ち上がります。

係数RAM書込準備と書込

b) オフセットRAM書込準備と書込 (RUN状態)

プログラム実行中にOFRAM(オフセットRAM)を書き換えたい時に使用します。コマンドモード入力後、書き換えたい連続したアドレスのデータを最大16個(1個あたり3byteで上位11bitは0で下位13bitがデータ)まで入力可能です。

次に、書込コマンドコードと書込の先頭アドレスを入力すると、書き換えられるRAMアドレスが指定される毎に、RAM内容の書換が実行されます。例えば、5つのデータをオフセットRAMのアドレス"10"より書き換える場合、次のように実行されます。

オフセットRAM実行アドレス 8 9 10 11 13 16 11 12 13 14 15

書込実行位置

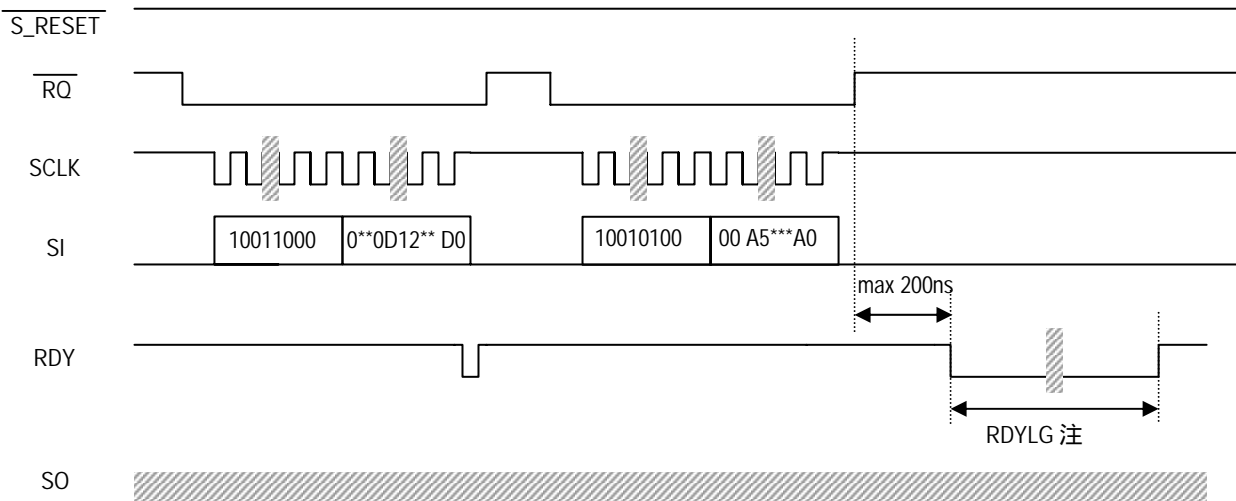
アドレス"13"はアドレス"12"が書き換えられるまで実行されません。注意して下さい。

データ転送手順

* 書込準備	コマンドコード	98h (1 0 0 1 1 0 0 0)
	データ	(0 0 0 0 0 0 0 0)
	データ	(0 0 0 D12...D8)
	データ	(D7...D0)
* 書込	コマンドコード	94h (1 0 0 1 0 1 0 0)
	アドレス	(0 0 A5A4...A0)

注意

必ず書込準備、書込の順で入力して下さい。書込準備をせずに書込を行なうと誤動作します。書込準備時のRDYが"L"になる期間はtyp条件でマスタークロック1個分以下(20ns程度)になります。



注：RDYLG幅は、1 サンプル以内には必ず新たなアドレスを書き換える様にプログラムを組んであれば、最大2 LRCLK以内にRDY信号は立ち上がります。

オフセットRAM書込準備と書込

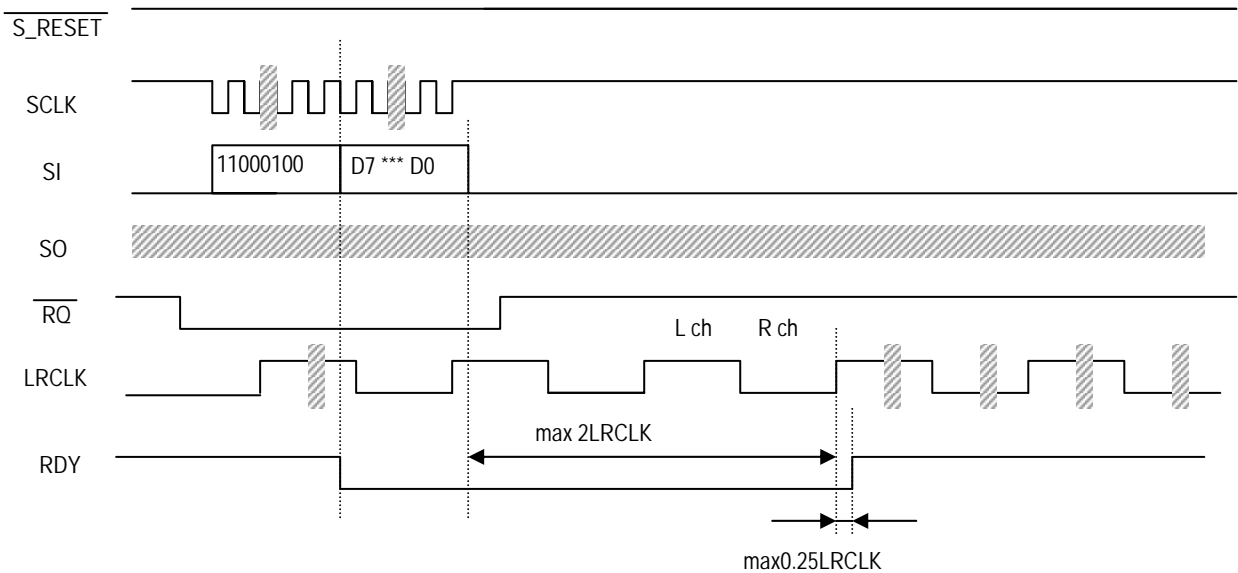
c) 外部条件ジャンプ用コード書き込み (RUN状態)

外部条件ジャンプ用コード書き込みは2バイト1組のデータで実行します。リセット時と動作時共に入力でき、入力データはLRCLK立ち上がりで所定のレジスタにセットされます。すべてのデータが転送されるとRDY端子が"L"になり、書き込みが終了すると"H"になります。外部条件コードは8ビットで、このコードの各ビットとIFCONフィールドの各ビットの"1"が1つでも一致したらジャンプ命令が実行されます。RDYが"H"になるまでは、マイコンからの書き込みは禁止します。

注) I²S互換時は、LRCLKの位相は反転していますので注意して下さい。

データ転送手順

コマンドコード	C4h(1 1 0 0 0 1 0 0)
コード・データ	(D7 D0)



外部条件ジャンプ書き込みタイミング (RUN時)

4) RUN中読み出し

a) コントロールレジスタ読み出し(RUN中)

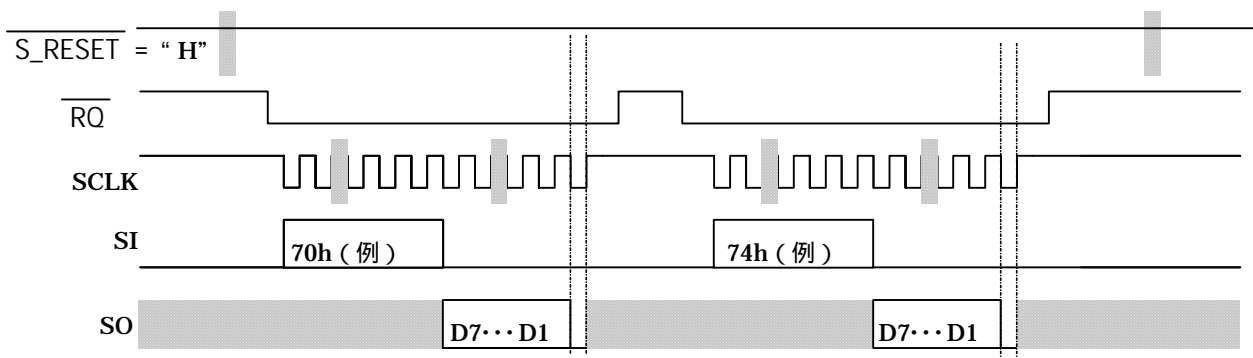
コントロールレジスタは、RUN中でも読み出し可能です。コマンドコード入力後、SCLKの立ち下がりで、コントロールレジスタの設定値D7～D1が出力されます。D0に相当する部分は、レジスタがありませんので、16個目のSCLKの立ち上がりまで常に0が出力されます。

注) 16個目のSCLKの立ち上がりでD0の値を取り込んだ場合、0であるとは限らないのでD0の値は無視するようにして下さい。(16個目のSCLKの立ち上がり以降は不定のため。)

データ転送手順

コマンドコード	70h,72h,74h,76h,78h,7Ah
---------	-------------------------

各ビットの機能は、8.機能説明、(2)コントロールレジスタ設定を参照して下さい。

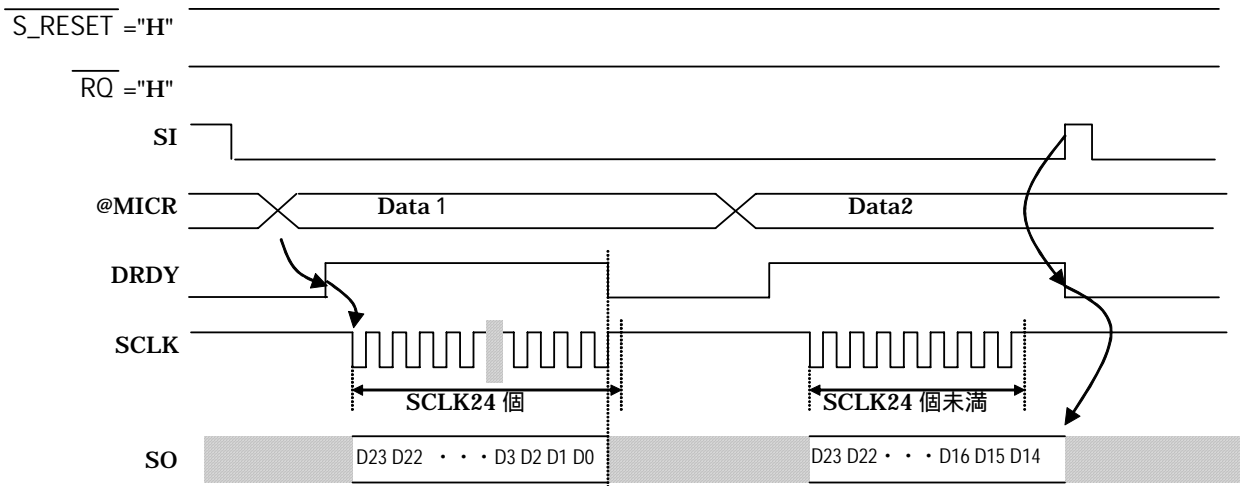


コントロールレジスタ読み出し例

b) SO読み出し

SOは、DSP部のDBUS（データバス）上のデータを出力できます。DSTフィールドで@MICRを指定することで、データがセットされます。データがセットされるとDRDYが"H"になり、SCLKの立ち下がりエッジに同期して出力されます。SIを"H"にするとDRDYが"L"になり、次の命令を待ちます。なお、DRDYが一度"H"になると、SIを"H"にするか、SCLKで24個のデータ出力するまで（24個のデータを出力するとDRDYは"L"になります。）、DRDYを"H"にした@MICR命令のデータが保持され、以後の@MICR命令は受け付けません。SOからの出力は最大24bitです。

注)AK7730では、SIを使用するしないにかかわらず、SCLKの24bit目の立ち上がり後150nsでDRDYが立下り、SO出力は不定と成ります。



SO読み出し (RUN中)

SO読み出し (RUN中)

5) 簡易書き込みエラーチェック

AK7730Aでは、巡回符号を用いて簡易的に書き込みデータに誤りがないかチェックをすることが出来ます。

(注意:マイコンとAK7730A間でのノイズ等による誤書き込みをチェックするのが主な目的です。あくまでも、CRC(cyclic redundancy check)によるものであり、また、入力DATAがRAM,レジスタに書き込まれる手前でチェックを行っていますので、本チェックで100%の書き込みエラー検出を保証しているわけではありません。)

ここで、

- ・シリアルデータD(X): \overline{RQ} が立ち下がってから立ち上がるまでに入力されるSIデータ
- ・生成多項式 $G(x)=x^{16}+x^{12}+x^5+1$ (CCITTのX.25という規格に基づく16進数のデータ並びでは11021h)
- ・D(x)をG(x)で割った余りをR(x)とします。
この場合の割算は計算途中で引き算の代わりにビットごとに排他的論理和を使ったものです。
また、転送するシリアルデータD(X)の後に16bitのゼロを補って割算を行ない余りは16bitで現れます

簡易書き込みエラーチェックを行うためには、以下のようにします。

- 1) チェックを行いたいシリアルデータD(x)の剰余R(x)を事前にコマンドコードB6hでレジスタに書き込みます。
- 2) コマンドコードD6hを用いてR(x)を読み出して、R(x)の値が正しく書き込まれたかを確認します。(読み出しを行わなくても、CRCチェック機能自体は動作します。)
- 3) シリアルデータD(x)をG(x)で割った余りがR(x)に等しければ、 \overline{RQ} の立ち上がりでSOは、"H"を次の \overline{RQ} の立下りまで出力します。(ただし、RUN中読み出し等でSOの出力を使用する場合は、そちらが優先されます。したがってCRCチェックを使う場合は、チェックを終了するまではRUN中読み出しをしないで下さい。)R(x)と等しくない場合は"L"を出力します。
- 4) 他のシリアルデータをチェックしたい場合は、1)~3)を繰り返します。

注) RUN中のCRAM書き込み(A4h),OFRAM書き込み(94h)でノイズ等の影響によりCRCエラーが検出された場合、アドレス側が正しくないときは、間違ったアドレスにデータが書き込まれてしまう可能性があります。

データ転送手順詳細

1)レジスタ書き込み

剰余R(x)データの書き込みは3バイト1組(24bit)のデータで実行します。

データ転送手順

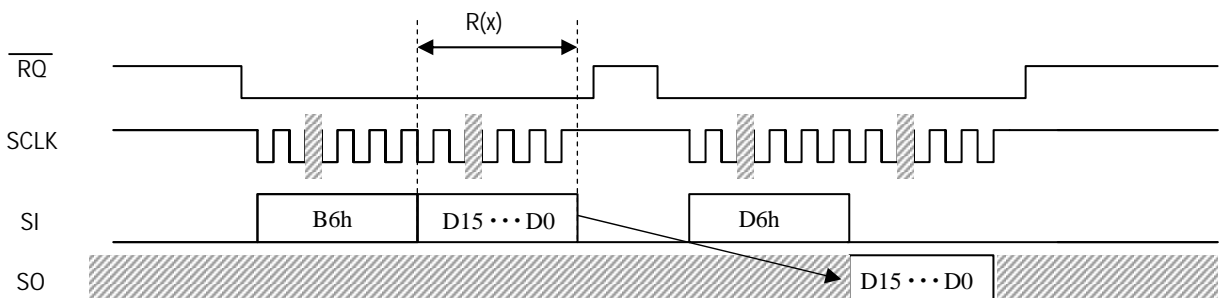
コマンドコード	B6h
剰余R(x)データ上位	(D15 D8)
剰余R(x)データ下位	(D7 D0)

2)レジスタ読み出し

剰余R(x)データの読み出しは3バイト1組(24bit)のデータで実行します。

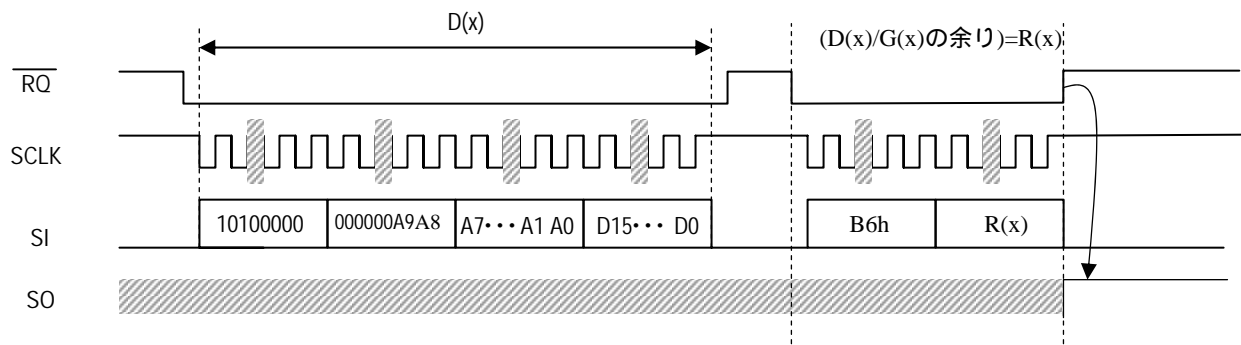
データ転送手順

コマンドコード	D6h
剰余R(x)データ上位	(D15 D8)
剰余R(x)データ下位	(D7 D0)



コントロールレジスタ書き込み、読み出し例

3) CRCチェック



{D(x)/G(x)の余り}=R(x)のCRCチェック例(RUN中読み出ししない場合)

4) D(x)に対するR(x)の例

例	D(X)	R(X)
1	D6ABCDh	1E51h
2	D2A5A5h	0C30h
3	A855557777AAAA0000FFFFh	2297h

(8) A D C 部ハイパスフィルタ

AK7730Aでは、ADC部のDCオフセットキャンセル用にデジタル・ハイパスフィルタ（HPF）を内蔵しています。HPFのカットオフ周波数は約1Hz ($f_s=48kHz$)です。このカットオフ周波数はサンプリング周波数(f_s)に比例します。

	96kHz	48kHz	44.1kHz	32kHz	8kHz
カットオフ周波数	1.86Hz	0.93Hz	0.86Hz	0.62Hz	0.16Hz

(9) EEPROMインターフェース

1) 使用法

AK7730AではEEPROMインターフェイスを持っており、イニシャルリセット解除時にEEPROMからPRAM,CRAM,OFRAM,コントロールレジスタのデータを一括してロードすることが出来、マイコンの負担を軽減することが可能です。

EEPROMは、弊社の32kbitシリアルEEPROM AK6510CもしくはAK6512Cを使用して下さい。
また、2)のプログラムマップに記載されている通りにデータをEEPROMに書き込んで下さい。

EEPROMを使用する場合は、以下の操作を行って下さい。

EESELピンを”H”に設定し、(水晶振動子を使用する場合は発振後、) $\overline{\text{INIT_RESET}}$ ピンを”H”に立ち上げて下さい。それにより内部カウンタが動作し、EEPROM用の制御信号 $\overline{\text{EESCS}}$, EESK, EESIを生成し、EEPROMデータをEESOピンより取り込みます。すべてのデータを取り込み終わるとEESK, EESIは”L”になり、 $\overline{\text{EESCS}}$ は”H”になります。EESTピンは”L”から”H”に立ち上がって、ロード終了を知らせます。EESTが”H”になると、EESELピンが”H”のままマイコンとのインターフェイスが可能となります。

再度、読み込みが必要な場合は、EESELが”H”のままイニシャルリセット($\overline{\text{INIT_RESET}} = \text{”L”}$)を行った後、 $\overline{\text{INIT_RESET}}$ ピンを”H”に立ち上げて下さい。

ロードに要する時間は、XTI=18.432MHz時36ms(max)です。EESKの周波数は、MCLK/16 (XTI=18.432MHz時2.304MHz)で生成されます。

AK6512Cの場合、EEPROMアドレス1000hより別プログラムをWRITEしておくことで、EEADRによってプログラムを選択することが可能です。

プログラムマップのCRCDATAに、EEPROMアドレス0000hから0FFBhまでのシリアルデータD(x)を生成多項式 $G(x)=x^{16}+x^{12}+x^5+1$ (初期値=0) で割った余りR(x)(16bit)をWRITEしておくことで、EEPROMからのデータ転送をCHECKすることが可能です。ロード終了後(EESTが”H”)SOピンにCRC期待値と内部の演算結果の比較結果が出力され、”H”の場合正しく転送されたことを示し、”L”の場合、誤った転送がなされた事を示します。

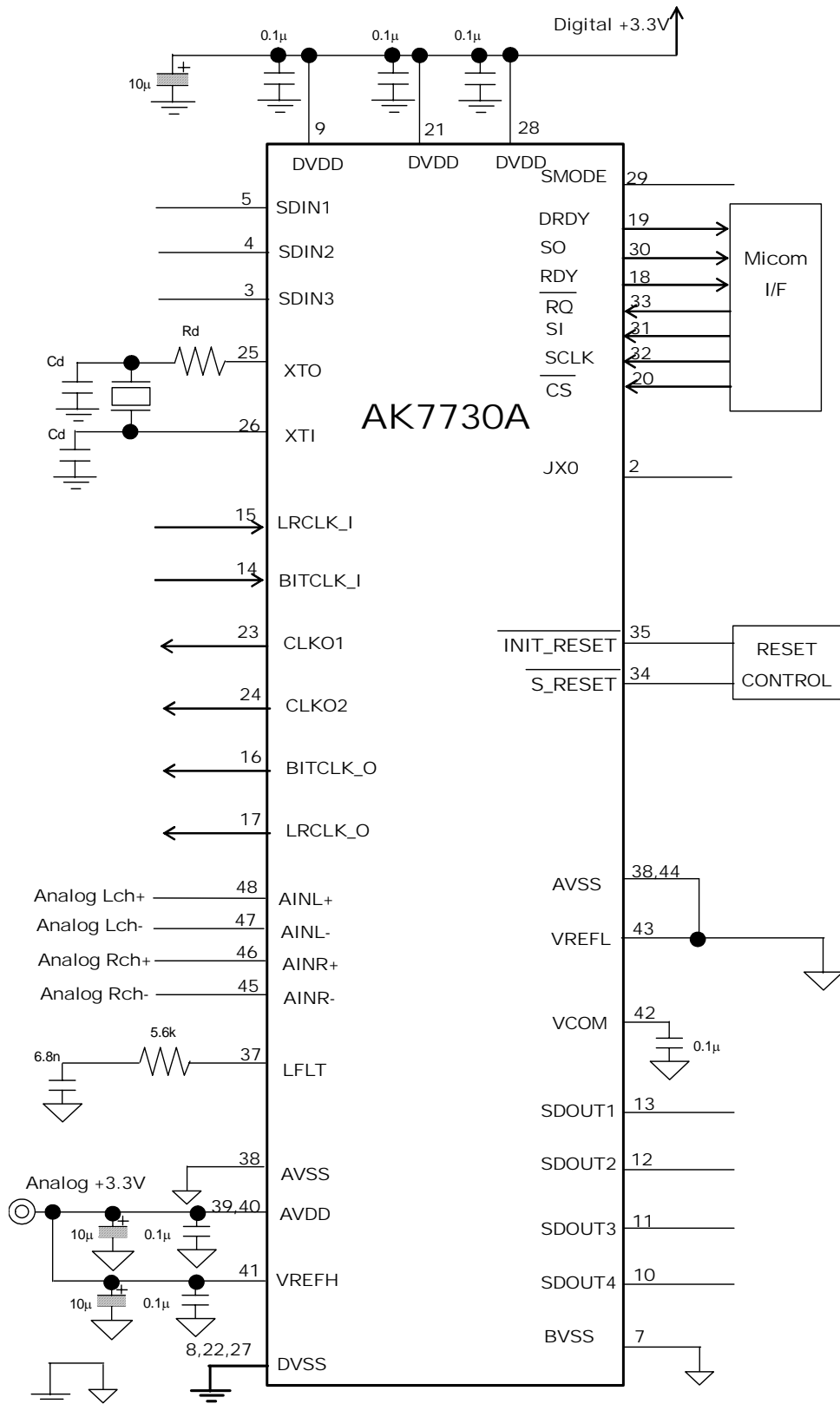
電源立ち上げ時に、EESEL=”H”かつ $\overline{\text{S_RESET}} = \text{”H”}$ の状態、イニシャルリセット解除時した場合、EEPROMダウンロード中は内部システムリセットをアクティブにし、ロード終了後自動的にシステムリセットを解除します。この機能を用いることでマイコンを接続することなく、AK7730Aの制御が可能です。

2) プログラムマップ

EEPROMADDRESS	DATA	備考
0000h	C0h	PRAM WRITEコマンド コード
0001h	00h	PRAMアドレスMSB側
0002h	00h	PRAMアドレスLSB側
0003h	PRAM0 DATA31-24	PRAMアドレスMSB 8bitデータ
0004h	PRAM0 DATA23-16	PRAMアドレスMSB-1 8bitデータ
0005h	PRAM0 DATA15-8	PRAMアドレスMSB-2 8bitデータ
0006h	PRAM0 DATA7-0	PRAMアドレスLSB 8bitデータ
0007h	PRAM1 DATA31-24	PRAMアドレスMSB 8bitデータ
...	...	
0BFEh	PRAM766 DATA7-0	PRAMアドレスMSB 8bitデータ
0BFFh	PRAM767 DATA31-24	PRAMアドレスMSB 8bitデータ
0C00h	PRAM767 DATA23-16	PRAMアドレスMSB-1 8bitデータ
0C01h	PRAM767 DATA15-8	PRAMアドレスMSB-2 8bitデータ
0C02h	PRAM767 DATA7-0	PRAMアドレスLSB 8bitデータ
0C03h	A0h	CRAM WRITEコマンド コード
0C04h	00h	CRAMアドレスMSB側
0C05h	00h	CRAMアドレスLSB側
0C06h	CRAM0 DATA15-8	CRAMアドレスMSB 8bitデータ
0C07h	CRAM0 DATA7-0	CRAMアドレスLSB 8bitデータ
0C08h	CRAM1 DATA15-8	CRAMアドレスMSB 8bitデータ
...	...	
0F59h	CRAM425 DATA7-0	CRAMアドレスMSB 8bitデータ
0F5Ah	CRAM426 DATA15-8	CRAMアドレスMSB 8bitデータ
0F5Bh	CRAM426 DATA7-0	CRAMアドレスLSB 8bitデータ
0F5Ch	90h	OFRAM WRITEコマンド コード
0F5Dh	00h	OFRAMアドレス
0F5Eh	OFRAM0 DATA23-16	OFRAMアドレスMSB 8bitデータ
0F5Fh	OFRAM0 DATA15-8	OFRAMアドレスMSB-1 8bitデータ
0F60h	OFRAM0 DATA7-0	OFRAMアドレスLSB 8bitデータ
0F61h	OFRAM1 DATA23-16	OFRAMアドレスMSB 8bitデータ
...	...	
0FEAh	OFRAM46 DATA7-0	OFRAMアドレスMSB 8bitデータ
0FEBh	OFRAM47 DATA23-16	OFRAMアドレスMSB 8bitデータ
0FEC	OFRAM47 DATA15-8	OFRAMアドレスMSB-1 8bitデータ
0FEDh	OFRAM47 DATA7-0	OFRAMアドレスLSB 8bitデータ
0FEEh	60h	CONT0 WRITEコマンド コード
0FEFh	DATA	CONT0データ
0FF0h	62h	CONT1 WRITEコマンド コード
0FF1h	DATA	CONT1データ
0FF2h	64h	CONT2 WRITEコマンド コード
0FF3h	DATA	CONT2データ
0FF4h	66h	CONT3 WRITEコマンド コード
0FF5h	DATA	CONT3データ
0FF6h	68h	CONT4 WRITEコマンド コード
0FF7h	DATA	CONT4データ
0FF8h	6Ah	CONT5 WRITEコマンド コード
0FF9h	DATA	CONT5データ
0FFAh	00h	Reserve
0FFBh	00h	Reserve
0FFCh	B6h	CRC WRITEコマンド コード
0FFDh	CRC DATA15-8	CRC MSB 8bitデータ
0FFEh	CRC DATA7-0	CRC LSB 8bitデータ
0FFFh	00h	Reserve

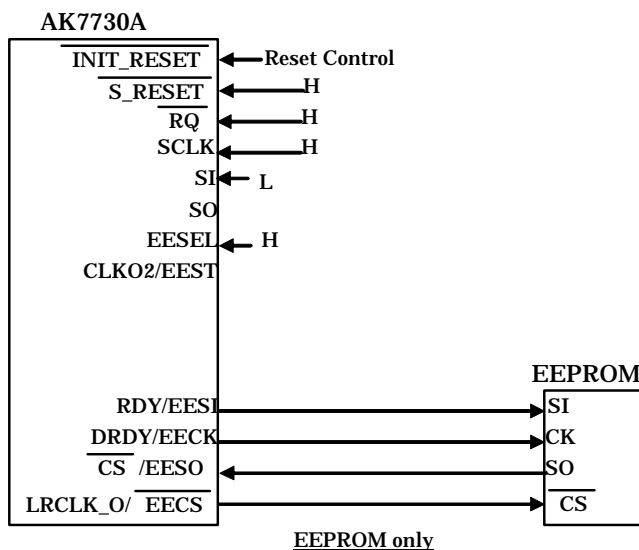
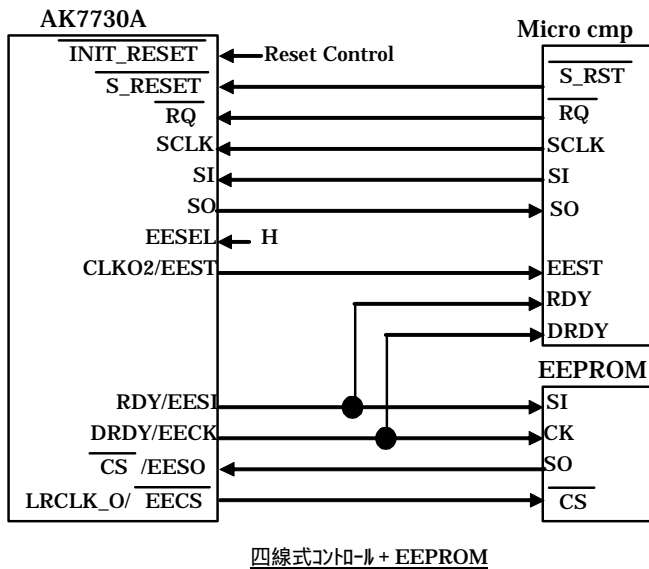
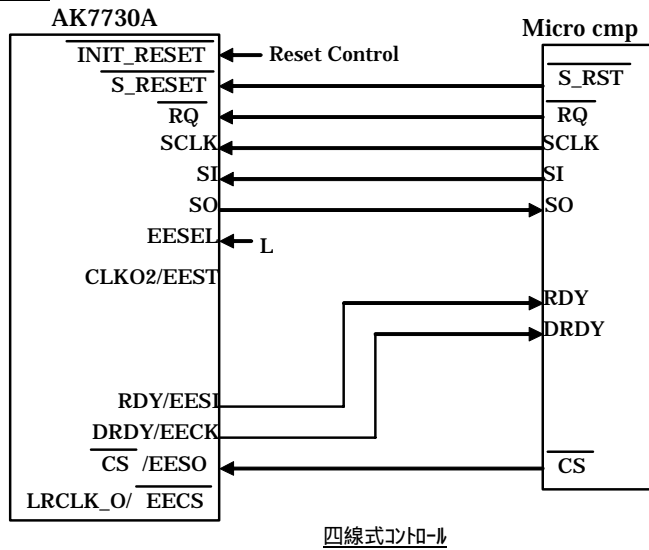
9 . システム設計

(1) 接続図



(2) 周辺回路

1) EEPROMとの接続



2) グランドと電源

AK7730Aではデジタルノイズのカップリングを最小限に抑えるため、AVDDとDVDDを分けてデカップリングします。AVDDにはシステムのアナログ電源を供給します。

一般的に電源とグランドはアナログとデジタルに分けて配線し、PCボード上の電源に近いところで接続して下さい。デカップリングコンデンサ、特に小容量のセラミックコンデンサはAK7730Aにできるだけ近づけて接続します。

3) 基準電圧

VREFHピンとVREFLピンに入力される電圧の差がアナログ入力のフルスケールを決定します。通常はVREFHにAVDDを接続し、VREFLにAVSSを接続します。VREFHピンには高周波ノイズを除去するために10 μ Fの電解コンデンサを並列に0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサはピンにできるだけ近づけて接続して下さい。デジタル信号、特にクロックはAK7730AへのカップリングをさけるためVREFHピン及びVREFLピンからできるだけ離して下さい。

VCOMピンにはAK7730Aのコモン電圧が出力されます。VCOMピンから出力されるコモン電圧を外部回路には使用しないで下さい。VCOMピンには高周波ノイズを除去するために、0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。なお、このコンデンサはVCOMピンにできるだけ近づけて下さい。

4) アナログ入力

アナログ入力信号は、各チャネルの差動入力ピンから変調器に入力されます。入力電圧は、AIN+とAIN-の差電圧($V_{AIN}=(AIN+)-(AIN-)$)で、 $\pm FS=\pm(VREFH-VREFL)\times 0.4$ になります。VREFH=3.3V、VREFL=0Vのとき、入力レンジは $\pm 1.32V$ です。出力コードのフォーマットは、2'sコンプリメントです。

AK7730Aは $f_s=48kHz$ のとき、3.072MHzでアナログ入力をサフリングします。デジタルフィルタは、30kHzから3.042MHzの間のノイズを除去します。しかし、3.072MHz付近の帯域では、ノイズは除去されません。ほとんどのオーディオ信号では、3.072MHz付近に大きなノイズをもつことはありませんので、簡単なRCフィルタで十分ノイズを減衰させることができます。

AK7730Aのアナログ電源電圧は+3.3V(TYP)になっており、アナログ入力ピン(AINL+,AINL-,AINR+,AINR-)には、AVDD+0.3V以上、AVSS-0.3V以下の電圧と、10mA以上の電流を入力してはいけません。過大電流の流入は、内部の保護回路の破壊、さらにはラッチアップを引き起こし、ICの破壊に至ります。従って、周辺のアナログ回路の電圧が、 $\pm 15V$ 等の場合はアナログ入力ピンを絶対最大定格以上の信号から保護する必要があります。

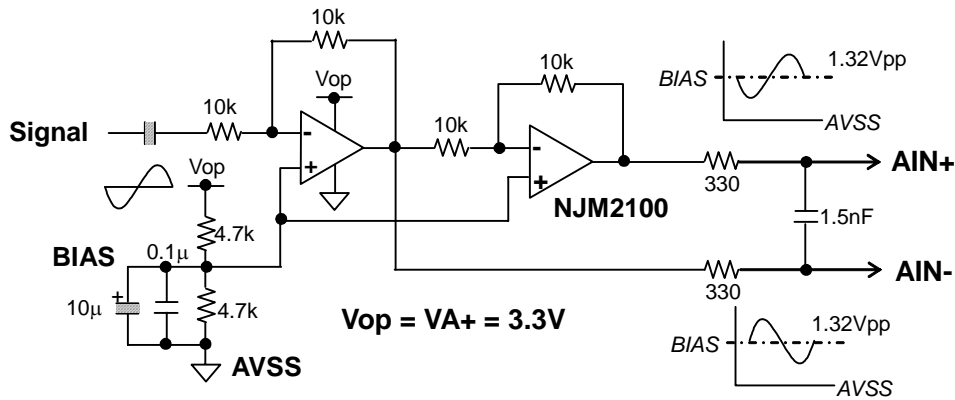


図1 . 入力バッファ回路例 (差動入力)

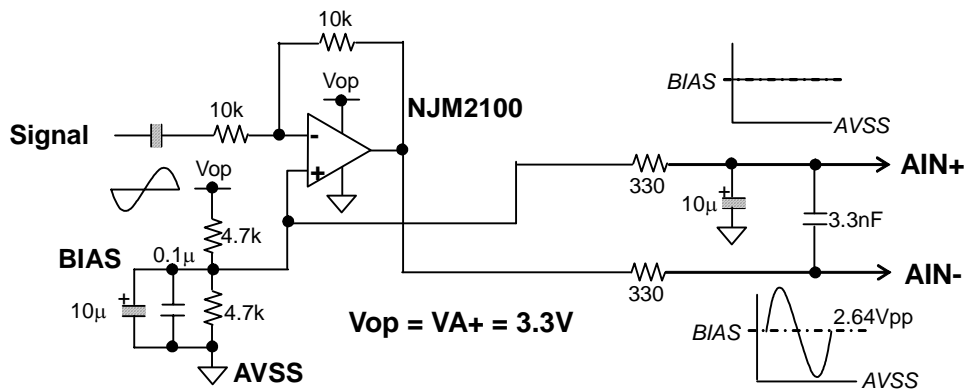


図2 . 入力バッファ回路例 (シングルエンド入力)

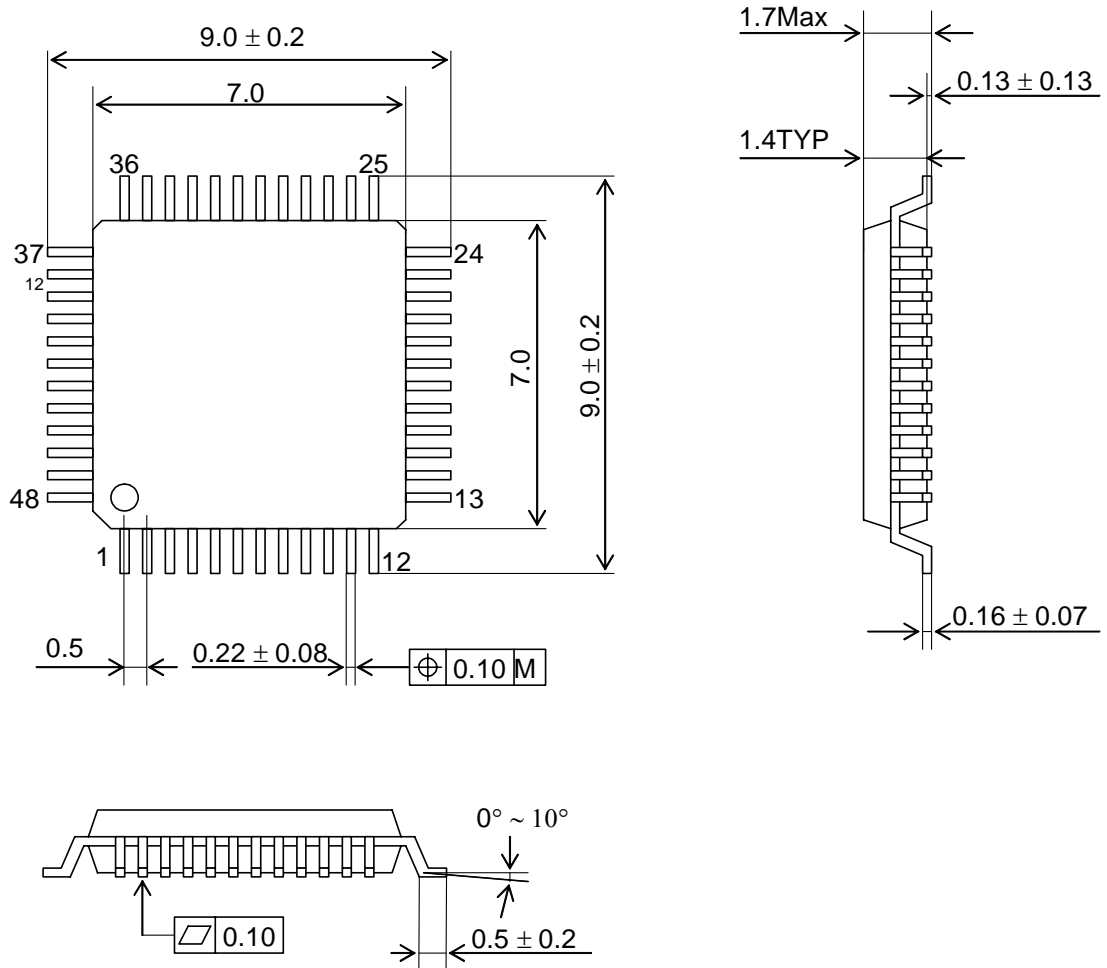
AK7730Aには、アナログ信号をシングルエンドで入力することも可能です。その際には、AIN-入力にアナログ信号 (VREFH=3.3V,VREFL=0.0Vのとき、FS=(VREFH-VREFL) × 0.8=2.64Vpp)を、AIN+入力にはバイアスを入力して下さい。但し、3.3V電源でオペアンプを使用した場合、低飽和型のオペアンプが推奨されます。AIN+に接続される電解コンデンサは、2次高調波低減に効果があります。(図2参照)。

5) デジタル回路との接続

デジタル回路によるノイズを最小限に抑えるためにデジタル出力には低電圧ロジックを接続します。適合するロジックファミリーは74LV,74LV-A,74ALVC,74AVCシリーズです。

10 . パッケージ

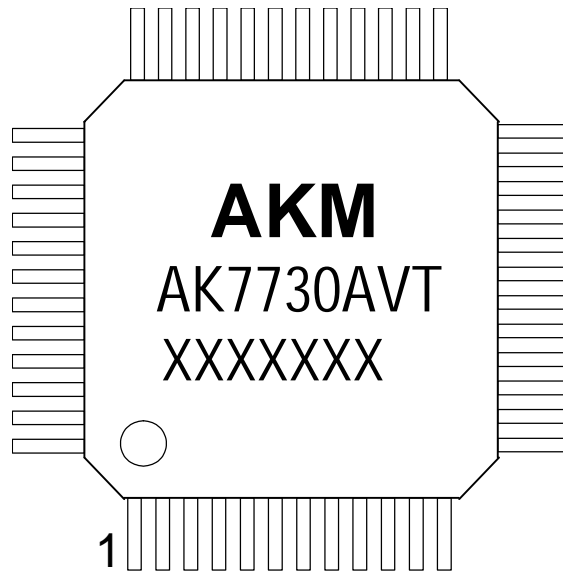
48pin LQFP (Unit:mm)



■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田(無鉛)メッキ

11. マーキング



- 1) Pin #1 indication
- 2) Date Code: XXXXXXXX(7 digits)
- 3) Marking Code: AK7730AVT
- 4) Asahi Kasei Logo

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。