



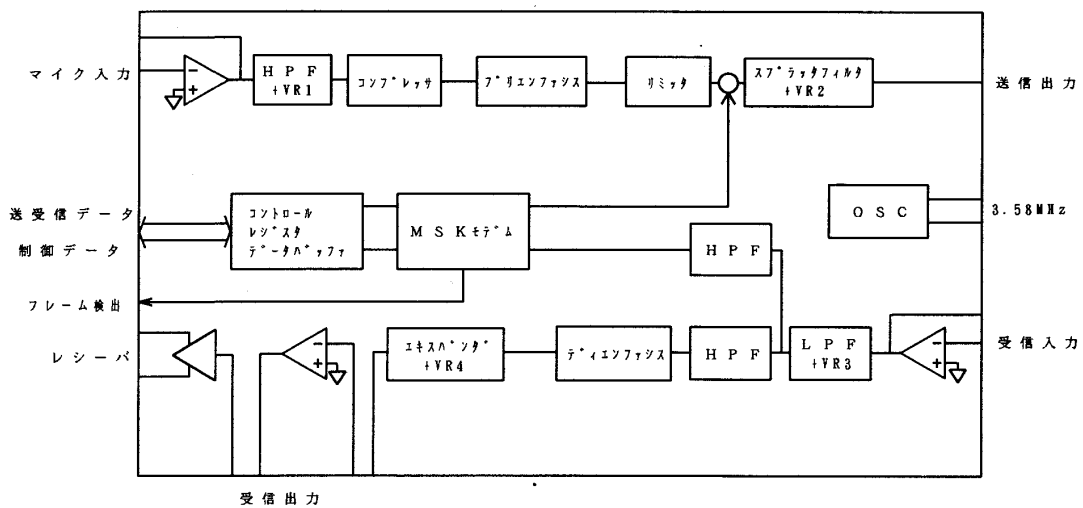
AK2361

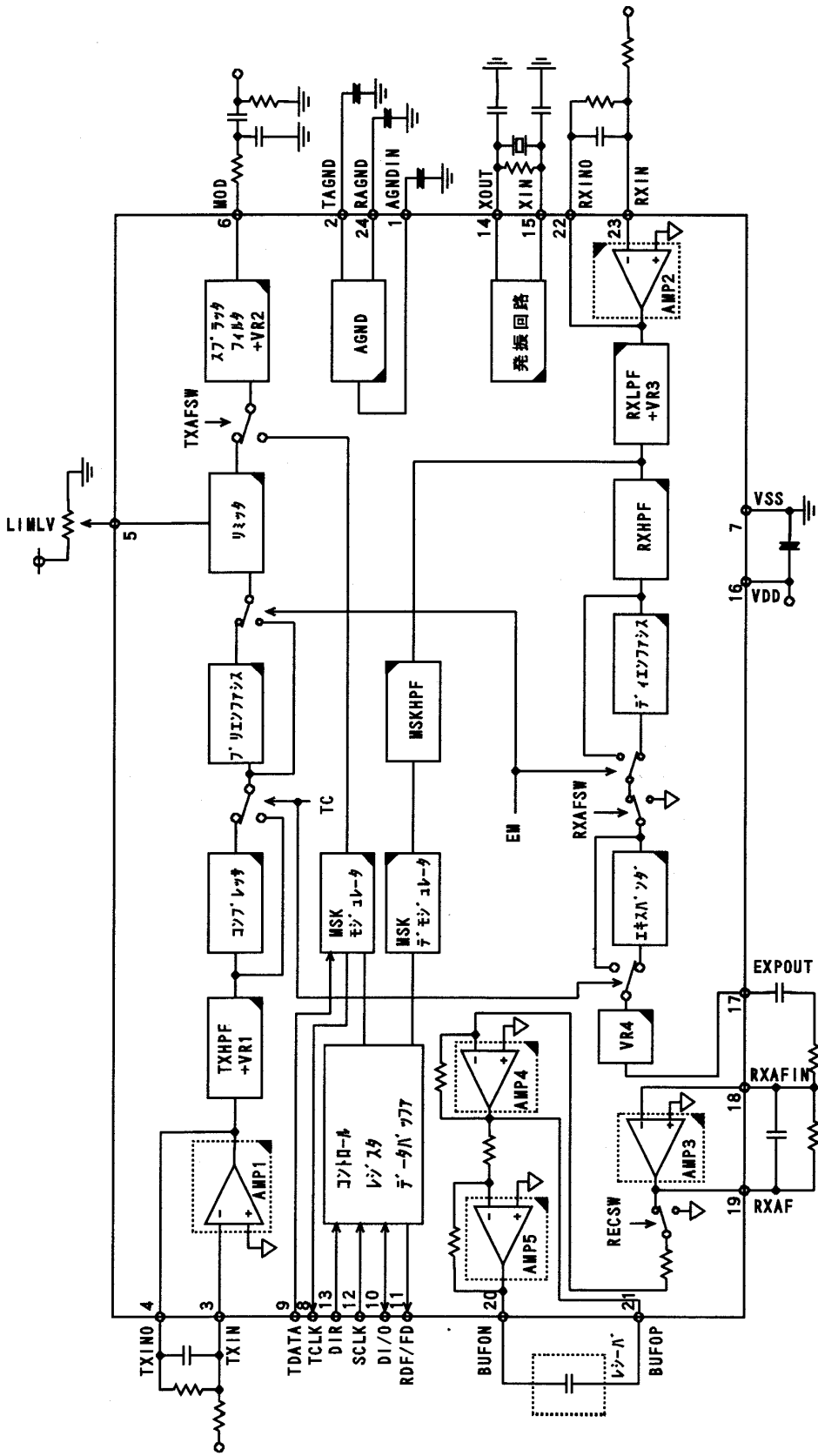
コードレス電話用ベースバンドLSI

特 長

- コードレス電話用の音声フィルタにMSKモデム(2400bps)、コンパンダ回路を内蔵
- 低電圧動作/広い動作電圧範囲 (1.9V~5.5V)
- コンパンダの出力過渡応答、時定数回路内蔵
- コンパンダの外付け部品は不要
- セラミックレシーバを直接駆動できるバッファアンプ内蔵
- マイク感度、変復調器の感度を自動調整するための電子ボリュームを内蔵
- 受話レベル8段階切り替え可能(-12~+9dB)
- 送信、受信音声ミュート機能内蔵
- リミットレベルの外部調整可能
- 送信、受信入出力にゲイン調整用アンプ内蔵
- CMOSプロセスおよびパワーダウン機能内蔵により低消費電力
- 水晶発振子による3.58MHz発振回路内蔵
- MSKデモジュレータにフレーム検出機能内蔵
- シリアルインターフェイスによりコントロールレジスタ、MSKモデムデータバッファを制御
- 外付け部品が少なく、製品の小型化、低コスト化に最適
- AK2358/58Aピンコンパチブル
- パッケージ：24ピン VSOP

ブロック図





- モード 1,2,3
- モード 2,3
- モード 3

各ブロックの動作モード

概 要

AK2361はコードレス電話用のベースバンドLSIで、音声フィルタにデータ通信用の2400bpsMSKモデムとフレーム検出回路、ノイズリダクション用のコンパンダを内蔵しています。CMOSプロセスを用いることにより、低電力で動作し、24ピンVSOPパッケージの採用により専有面積を最小にするとともに外付け部品を極力少なくしております。

コンパンダの出力過渡応答時定数回路は、LSIに内蔵していますので、外付け部品は不要です。データ通信用に2400bpsのMSKモデムを採用することにより、データの信頼性と高速性を同時に実現しました。複雑なプロトコル制御を必要とするシステムコードレステレホンなどに最適です。

また3.58MHzの水晶振動子による発振回路を内蔵し、MSKモデムのために特別な周波数を必要としないので、発振子をDTMFジェネレータ等と共用させることができます。

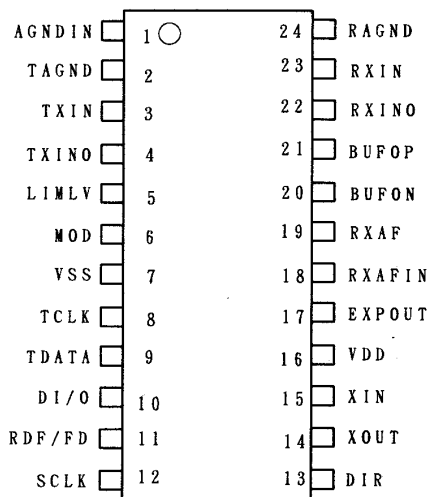
送受信部にそれぞれ電子ボリュームを内蔵しており、EEPROMとマイクロプロセッサの制御によりマイク感度、変復調器の感度を自動調整することができます。

送信部は、ハイパスフィルタ、コンプレッサ、プリエンファシス、リミッタ、MSKモジュレータ、スプラッタフィルタ、電子ボリューム等により構成されています。

受信部は、バンドパスフィルタ、ディエンファシス、エキスパンダ、バッファアンプ、MSKデモジュレータ、フレーム検出回路、電子ボリューム等により構成されています。

■ ピン配置

24ピン VSOP



回路構成

ブロック	機能
AMP 1	送信音声信号のゲイン調整および後段のSCFの折返しノイズを防止するフィルタのための演算増幅器です。外付けの抵抗とコンデンサによりゲインを30dB以下、カットオフ周波数を10kHz程度に設定してください。
TXHPF	送信音声信号に含まれる300Hz以下の成分を除去するためのSCF回路です。
コンプレッサ	送信音声信号の振幅を圧縮する回路です。
プリエンファシス	変調信号のS/N向上のため送信音声信号の高周波成分の強調する回路です。
リミッタ	変調信号の周波数偏移を抑えるための振幅制限回路です。 リミットレベルはLIMLVピンにDC電圧を加えることにより調整できます。 LIMLVピンをオープンにすると予め決められたリミットレベルになります。
スプラッタフィルタ	リミッタの出力信号あるいはMSKモジュレータ信号に含まれる3kHz以上の成分を除去するためのSCF回路です。
MSKモジュレータ	TDATAピンより入力されたデジタル信号の論理に従い、2400bpsのMSK信号を発生させる回路です。
AMP 2	受信復調信号のゲイン調整および後段のSCFの折返しノイズを防止するフィルタのための演算増幅器です。外付けの抵抗とコンデンサによりゲインを30dB以下、カットオフ周波数を10kHz程度に設定してください。
RXLFPF	受信復調信号に含まれる3kHz以上の成分を除去するためのSCF回路です。
RXHPF	受信音声信号に含まれる300Hz以下の成分を除去するためのSCF回路です。
ディエンファシス エキスパンダ	プリエンファシスにより高域強調された信号をもとにもどす回路です。 コンプレッサにより圧縮された信号の振幅を伸張し、もとにもどす回路です。
AMP 3	受信SCFの出力用のスムージングフィルタを構成するための演算増幅器です。外付けの抵抗とコンデンサによりゲインを0dB、カットオフ周波数を20kHz程度に設定してください。
MSKHFPF	受信MSK信号に含まれる100Hz以下の成分を除去するためのSCF回路です。
MSK デモジュレータ	RXINピンから入力された受信MSK信号より2400bpsの受信データとクロックを再生する回路です。
AMP 4 AMP 5	セラミックレシーバを直接駆動するための反転、非反転バッファです。
AGND	内部アナログ信号の基準電圧を発生するための回路です。
発振回路	外付けの水晶発振子および抵抗により、3.58MHzの基準クロックを発生する回路です。
VR 1	送信音声信号の入力レベルを調整するためのボリュームです。 調整範囲 -8 ~ +7 dB ステップ幅 1.0 dB
VR 2	MODの出力レベルを調整するためのボリュームです。 調整範囲 -4 ~ +3.5 dB ステップ幅 0.5 dB
VR 3	受信復調信号の入力レベルを調整するためのボリュームです。 調整範囲 -4 ~ +3.5 dB ステップ幅 0.5 dB
VR 4	受話レベルを調整するためのボリュームです。 調整範囲 -12 ~ +9 dB ステップ幅 3.0 dB

ブロック	機能
コントロールレジスタ データバッファ	コントロールレジスタは、2ビットのアドレス+8ビットのデータから成るシリアル入力によりLSI内部のスイッチの状態やボリュームを設定する回路です。電源立ち上げ時には、パワーオンリセット回路によりインニシャル値に設定されます。(コントロールレジスタマップ参照) データバッファは、CPUとのインタフェースを容易にするため8ビット分のMSK受信データを蓄積する回路です。

ピン／機能

ピン番号	ピン名称	I/O	機能
1	AGNDIN	I	アナロググランド入力ピン アナロググランドを安定化するためのコンデンサを接続します。
2	TAGND	O	送信系アナロググランドピン アナロググランドを安定化するためのコンデンサを接続します。
3	TXIN	I	送信音声入力ピン AMP1の反転入力端子です。外部に抵抗とコンデンサを接続しマイクアンプを構成します。
4	TXINO	O	AMP1出力ピン
5	LIMLV	I	リミットレベル調整用ピン このピンにDC電圧を加えることによりリミットレベルを調整できます。無接続にすると規定のリミットレベルになります。
6	MOD	O	送信被変調信号出力ピン 10kΩ以上の負荷を駆動できます。
7	VSS	-	負電源ピン。
8	TCLK	O	送信MSKデータ用クロック出力ピン 内部レジスタTDEが“0”の時、2.4kHzのクロックを出力します。“1”の時は“H”レベルになります。
9	TDATA	I	送信MSKデータ入力ピン TCLKの立ち上がりに同期してデータを取り込みます。
10	DI/O	I/O	シリアルデータ入出力ピン
11	RDF/FD	O	MSK信号受信フラグ/フレーム検出信号出力ピン このピンは内部レジスタFSLの状態により2種類の情報を出力します。 FSLが“1”の場合は、MSK信号受信フラグ出力となり受信データレジスタにMSK受信信号が8ビット書き込まれた時“L”となります。 FSLが“0”の場合は、フレーム検出信号出力となりフレームパターンを検出すると“L”パルスを出力します。
12	SCLK	I	シリアルデータ用クロック入力ピン
13	DIR	I	シリアルデータ入出力制御ピン

ピン番号	ピン名称	I/O	機能
14	XOUT	I	水晶発振子接続ピン このピンと XIN間に、3.58MHzの発振子と1M Ω の抵抗を接続することにより IC内部で使用する基準クロックを作ります。外部からクロックを供給する場合は、XOUTをVSSに接続し、XINにクロックを加えます。
15	XIN	O	水晶発振子接続ピン
16	VDD	-	正電源ピン
17	EXPOUT	O	エキスパンダ出力ピン
18	RXAFIN	I	受信音声入力ピン AMP 3の反転入力端子です。外部に抵抗とコンデンサを接続しスムージングフィルタを構成します。
19	RXAF	O	受信音声出力ピン AMP 3の出力ピンです。10k Ω 以上の負荷を駆動できます。
20	BUFON	O	レシーバアンプ出力ピン
21	BUFOP	O	この2ピン間にセラミックレシーバを接続します。
22	RXINO	O	AMP 2出力ピン
23	RXIN	I	受信復調信号入力ピン AMP 2の反転入力端子です。外部に抵抗とコンデンサを接続しプリフィルタを構成します。
24	RAGND	O	受信系アナロググランドピン アナロググランドを安定化するためのコンデンサを接続します。

絶対最大定格

VSS=0V; 注1)

パラメータ	記号	min	max	単位
電源電圧: (VDD)	VA+	-0.3	6.5	V
入力電流 (電源ピンを除く)	I _{IN}	-	±10	mA
アナログ入力電圧	V _{INA}	-0.3	(VA+)+0.3	V
デジタル入力電圧	V _{IND}	-0.3	(VA+)+0.3	V
保存温度	T _{stg}	-55	130	°C

注1): 電圧は全てVSSピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

VSS=0V; 注1)

パラメータ	記号	min	typ	max	単位
動作温度	T _a	-10		70	°C
電源電圧: (VDD)	VDD	1.9	2.0	5.5	V
アナログ基準電圧	AGND		1/2VDD		V
消費電流	モード0	I _{dd0}	0.1	0.8	mA
	モード1	I _{dd1}	0.9	1.9	
	モード2	I _{dd2}	1.5	2.9	
	モード3	I _{dd3}	5.0	10	

注1): 電圧は全てVSSピンに対する値です。

アナログ特性

特記なき場合 $f=1\text{kHz}$ $TC="1"$ $EM="1"$ $VR1\sim VR4=0\text{dB}$ $0\text{dBm}=0.775\text{Vrms}$ $0\text{dBx}=-5\text{dBm at AVDD}=2\text{V}$ 注7)

1) TX系

パラメータ	min	typ	max	単位
標準入力レベル @TXINO		-10		dBx
絶対ゲイン TXINO→MOD 注1)	2.0	3.5	5.0	dB
リミッタレベル MOD 1kHz 注1) 外付けRなし 外付けRによる調整範囲	-4.5	-3.5	-2.5 -2.5	dBx
コンプレッサリニアリティ TXINO→MOD 注1) 2) TXINO=-44dBx TXINO=-50dBx	-20 -24	-17.0 -20.0	-14 -16	dB
無入力時ノイズ TXINO→MOD 注1) 3)			-36.5	dBm
コンプレッサ歪率 TXINO→MOD TXINO=-10dBx			-35	dB
送信MSK信号レベル @MOD 注1) 1.2kHz出力時	-4.5	-3.5	-2.5	dBx
送信MSK信号歪率 @MOD 注1) 1.2kHz出力時			-32	dB

2) RX系

パラメータ	min	typ	max	単位
標準入力レベル @RXINO		-10		dBx
絶対ゲイン RXINO→BUFON, BUFOP 注1)	-1.5	0	+1.5	dB
エキスパンダリニアリティ RXINO→BUFON, BUFOP 注1) 4) RXINO=-25dBx RXINO=-30dBx	-33.0 -45.0	-30.0 -40.0	-27.0 -35.0	dB
無入力時ノイズ RXINO→BUFON, BUFOP 注1) 3)			-70	dBm
エキスパンダ歪率 RXINO→RXAF RXINO=-5dBx			-35	dB
受信MSK信号レベル @RXINO 1.2kHz出力時	-14	-7	-1	dBx

3) 総合特性

パラメータ		min	typ	max	単位
絶対ゲイン	TXINO→BUFON, BUFOP TXINO=-10dBx	-0.5		+2.5	dB
歪率	TXINO→BUFON, BUFOP TXINO=-10dBx		-50	-43	dB
クロストーク 送信→受信	@BUFON, BUFOP TXINO=0dBx			-60	dBx
クロストーク 受信→送信	@MOD RXINO=0dBx			-56.5	dBx

4) フィルタ特性

パラメータ		min	typ	max	単位		
送信総合特性 (図1参照)	TXINO → MOD	100Hz		-40	dB		
	TC="0" EM="1"	300Hz	-12	-10.5		-9	
		2.5kHz	6.5	8		9.5	
		1kHzでの利得を0dB とした相対値	3kHz	6.5		8	9.5
		5kHz				-7	
受信総合特性 (図2参照)	RXINO → EXPOUT	100Hz		-4	dB		
	TC="0" EM="1"	250Hz		12		13.5	
		300Hz	9	10.5			
		1kHzでの利得を0dB とした相対値	3kHz	-10.5		-9	-7.5
		5kHz				-15	

注1) 応用回路例で示す外付け回路を付加する。

注2) TXINOに標準入力レベル(-10dBx)を入力した時のMODの出力レベルを0dBとした相対値。

注3) C-Message Filter使用。

注4) RXINOに標準入力レベル(-10dBx)を入力した時のBUFON, BUFOPの出力レベルを0dBとした相対値。

注5) 応用回路例で示す外付け回路を付加する。ただしAMP 2のゲインは-3.5dBとしMODとRXINをループ接続する。

注6) TC="0"

注7) dBxは1.9~5.5Vのすべての電圧に対応できるように規格化したものです。電圧が2Vの時は0dBx=-5dBmとなり、電圧をX[V]とすると、

$$0\text{dBx} = -5 + 20 \log(X/2) \quad [\text{dBm}]$$

となります。

□ フィルタ特性

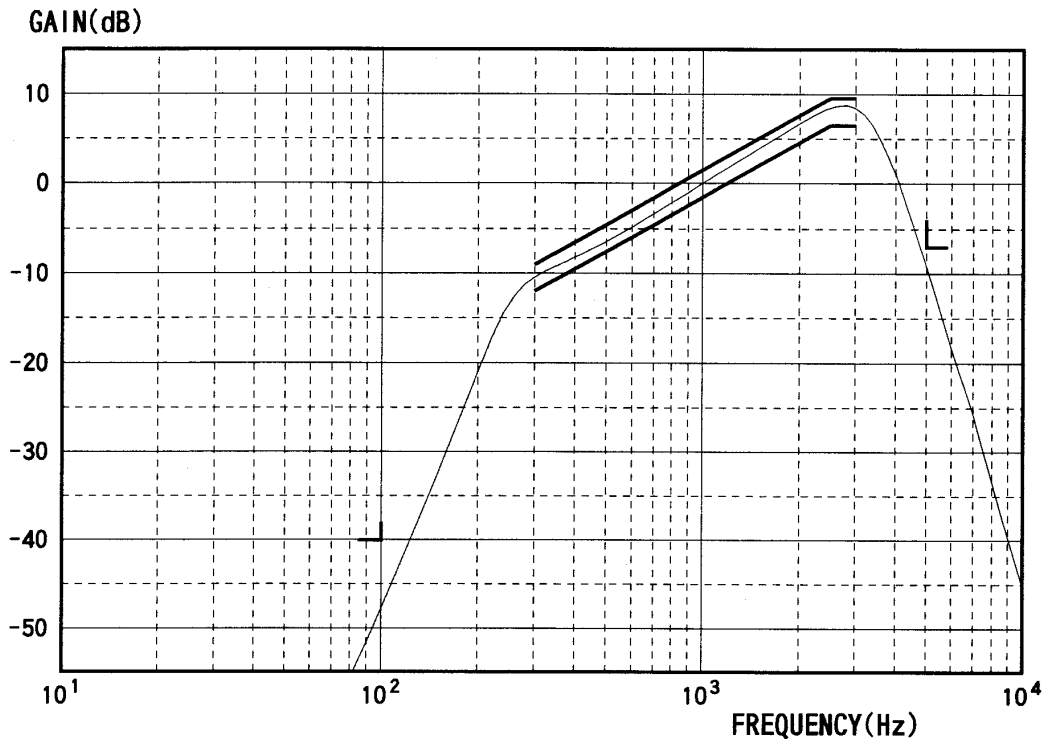


図1 送信総合特性

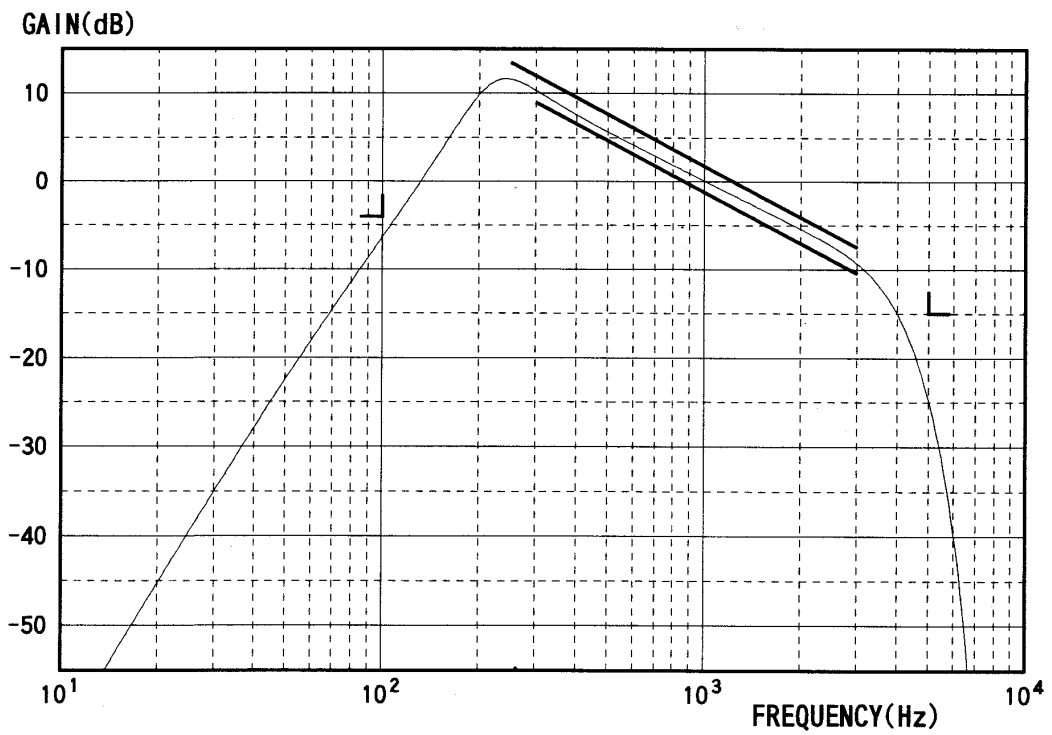
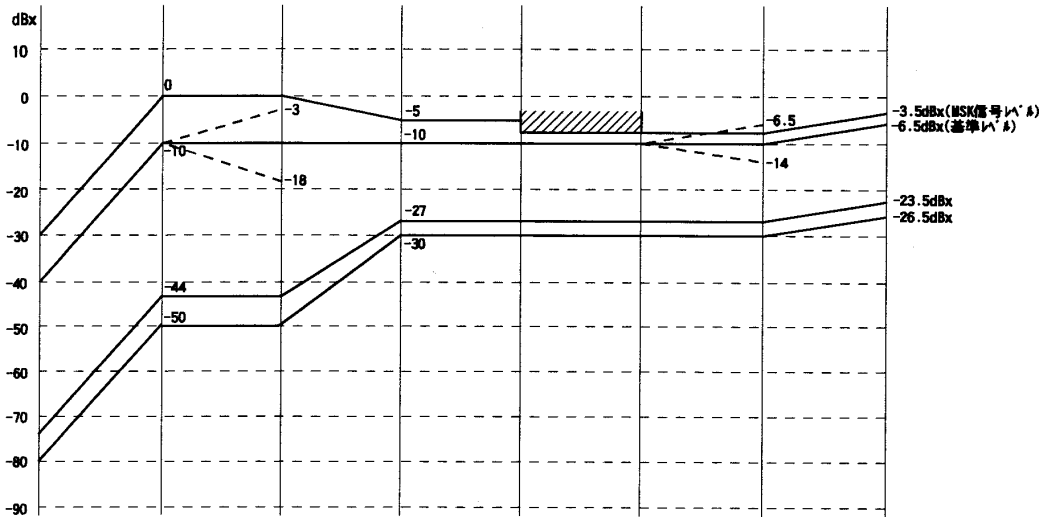
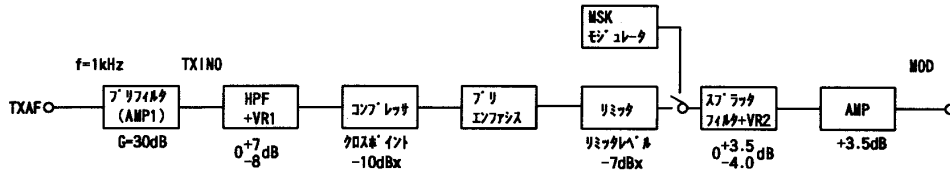


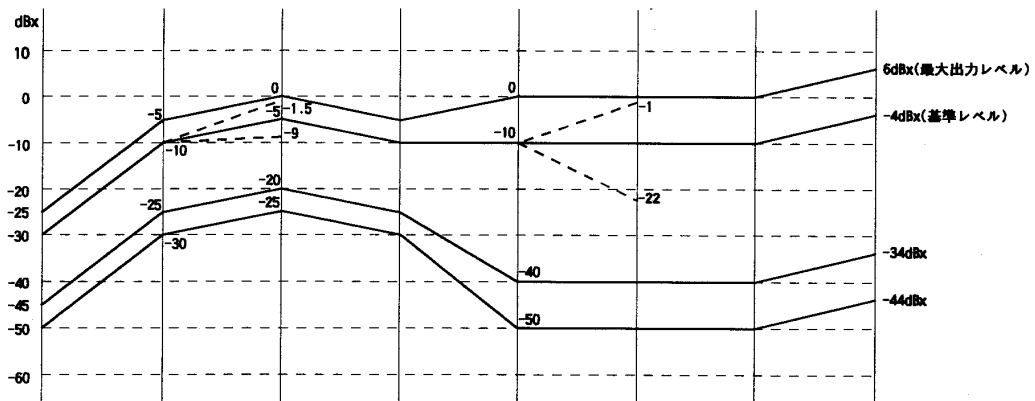
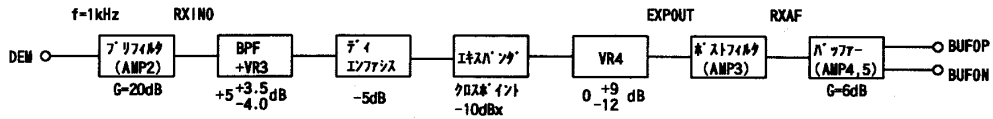
図2 受信総合特性

レベルダイヤグラム

1) TX系



2) RX系



注) dBxは、1.9~5.5Vのすべての電圧に対応できるように規格化したものです。電圧が2Vのときは、
 $0\text{dBx} = -5\text{dBm}$ となり、電圧を $X[V]$ とすると
 $0\text{dBx} = -5 + 20\log(X/2)$ [dBm]
 となります。

デジタル特性

1. DC特性

パラメータ	端子	記号	min	typ	max	単位
高レベル入力電圧 1	(1)	V_{IH1}	70%VD+			V
低レベル入力電圧 1	(1)	V_{IL1}			30%VD+	V
高レベル入力電圧 2	(2)	V_{IH2}	80%VD+			V
低レベル入力電圧 2	(2)	V_{IL2}			20%VD+	V
高レベル入力電流 $V_{IH}=VD+$	(1)(2)	I_{IH}			10	μA
低レベル入力電流 $V_{IL}=0V$	(1)(2)	I_{IL}	-10			μA
高レベル出力電圧 $I_{OH}=0.1mA$	(3)	V_{OH}	90%VD+			V
低レベル出力電圧 $I_{OL}=0.6mA$	(3)	V_{OL}			0.3	V

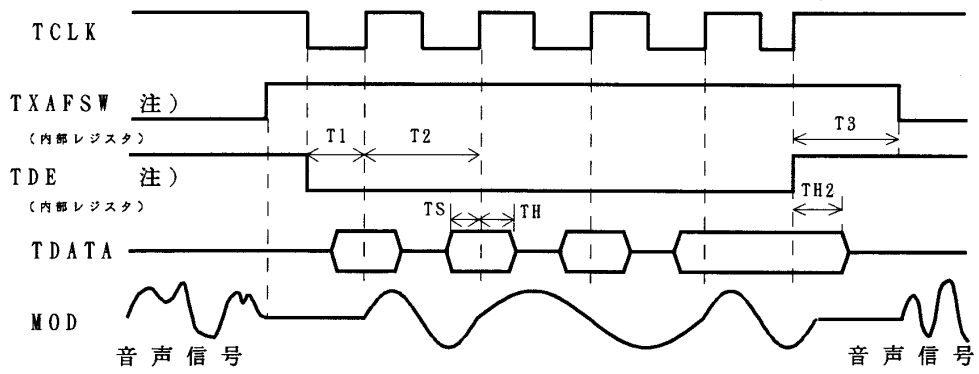
(1)TDATA, DI/O

(2)SCLK, DIR

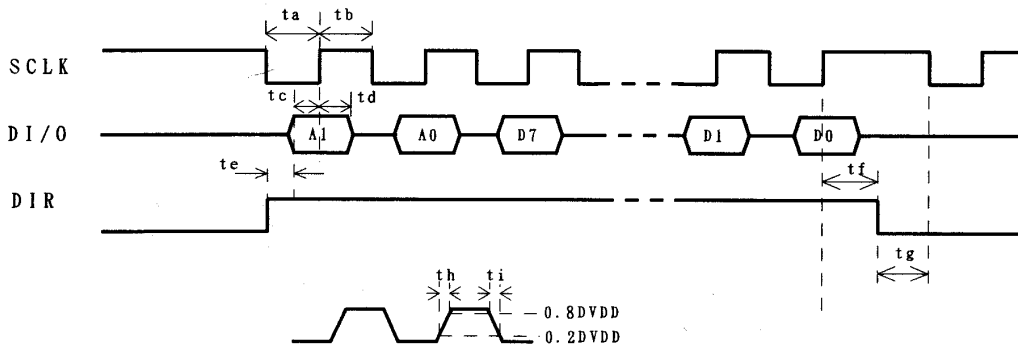
(3)TCLK, RDF, DI/O

2. AC特性

パラメータ	記号	min	typ	max	単位
マスタクロック周波数	fclk		3.579545		MHz
MSKモジュレータ タイミング					
TDE Falling to TCLK Rising	T1		208.3		μs
TCLK周期	T2		416.7		μs
TDE Rising to TXAFSW Falling	T3	2			ms
TDATA Set up time	TS	1			μs
TDATA Hold time	TH	1			μs
TDATA Hold time2	TH2	2			μs
MSKデモジュレータ タイミング					
RCLK周期およびFDパルス幅	T	402.2	416.7		μs
シリアルデータ入力タイミング					
クロックパルス幅 1	ta	500			ns
クロックパルス幅 2	tb	500			ns
SDATA Set Up time	tc	100			ns
SDATA Hold time	td	100			ns
DIR Set up time	te	100			ns
DIR Hold time	tf	100			ns
DIR falling to SCLK falling time	tg	100			ns
SCLK/DIR input rising time	th			1	μs
SCLK/DIR input falling time	ti			1	μs
RDF falling to SCLK falling time	tj	100			ns
SCLK rising to RDF falling time	tk	600			ns

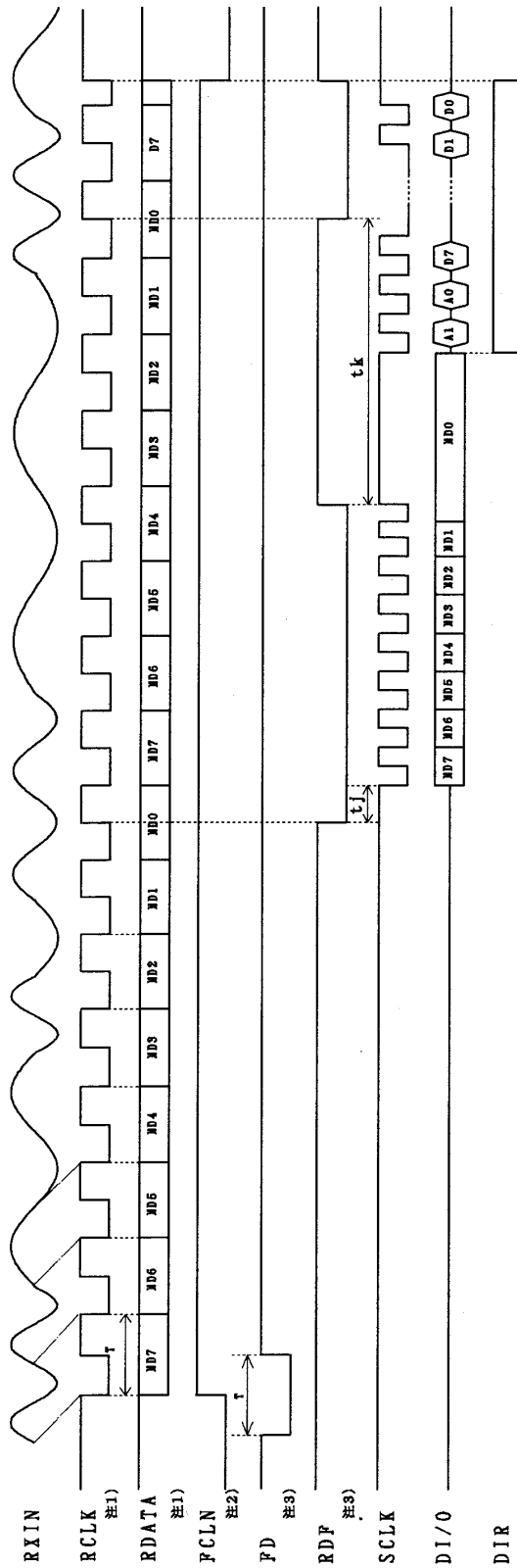


MSK モジュレータ



SCLK/DIR信号入力

注) 内部レジスタTXAFSW, TDEの変化のタイミングは、DIRの立ち下がりに同期します。



MSKデモジュレータ

- 注1) 内部ノード
- 注2) 内部レジスタ
- 注3) 内部レジスタ"PSL"が"0"の時はFD、"1"の時は"RDP"の状態がRFD/FDE'ソに出力されます。

コントロールレジスタマップ

■レジスタの構成

	アドレス		データ							
	A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
コントロールレジスタ 1	0	0	FSL	BS2	BS1	FCLN	-	TDE	TXAF -SW	RXAF -SW
ボリュームレジスタ	0	1	1	1	1	1	RECSW	VR 4		
ボリュームレジスタ	1	0	VR 2				VR 1			
コントロールレジスタ 2 + ボリュームレジスタ	1	1	TC	EM	FRPT	-	VR 3			
受信データレジスタ			MSK モデム受信データ							

受信データレジスタがリードレジスタで、その他はライトレジスタです。

受信データレジスタには先行するアドレス情報はありません。

アドレス“01”のD4～D7ビットはオール“1”としてください。“0”にするとICのテストモードとなります。

アドレス“00”のD3ビット、“11”のD4ビットには、“0”、“1”どちらの値を書き込んでも設定に変化はありません。

■レジスタマップ

1) コントロールレジスタ 1

アドレス		データ							
A 1	A 0	D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
0	0	FSL	BS2	BS1	FCLN	-	TDE	TXAF SW	RXAF SW
リセット時		1	1	0	0	-	1	0	0

a) 送信信号制御

TDE	TXAF SW	送信出力
1	0	音声信号
1	1	ミュート
0	1	MSK信号

b) 受信信号制御

RXAF SW	RECSW	RXAF	BUFOP/BUFON
1	-	ミュート	ミュート
0	1	ON	ミュート
0	0	ON	ON

注) RECSWはアドレス“01”のD3ビットです。

c) フレーム検出回路 ON/OFF

FCLN	
1	フレーム検出機能を使用しない(OFF)
0	フレーム検出機能を使用する(ON)

注) 同期フレームを検出すると、FCLNは自動的に0→1となります。

d) パワーダウンモード

BS2	BS1	モード名	音声系+送信MSK	受信MSK	発振器
1	1	mode0	OFF	OFF	OFF
0	1	mode1	OFF	OFF	ON
1	0	mode2	OFF	ON	ON
0	0	mode3	ON	ON	ON

e) RDF/FDの選択

FSL	
1	RDF/FDピンからはMSK信号受信フラグ(RDF)が出力される。
0	RDF/FDピンからはフレーム検出信号(FD)が出力される。

2) コントロールレジスタ2

アドレス		データ							
A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
1	1	TC	EM	FRPT	-	VR3			
リセット時		1	1	0	-	1	0	0	0

データ名	機能	
FRPT	フレームディテクタ検出パターン	“1” : 1100010011010110 (親機) “0” : 1001001100110110 (子機)
EM	エンファシス回路	“1” : 通過 (ON) “0” : バイパス (OFF)
TC	コンパンダ回路	“1” : 通過 (ON) “0” : バイパス (OFF)

3) ボリュームレジスタ

アドレス		データ							
A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	1	1	1	RECSW	VR42	VR41	VR40
1	0	VR23	VR22	VR21	VR20	VR13	VR12	VR11	VR10
1	1	TC	EM	FRPT	-	VR33	VR32	VR31	VR30

a) VR1 ボリューム制御

VR13	VR12	VR11	VR10	ボリュームゲイン (dB)
0	0	0	0	-8.0
0	0	0	1	-7.0
0	0	1	0	-6.0
0	0	1	1	-5.0
0	1	0	0	-4.0
0	1	0	1	-3.0
0	1	1	0	-2.0
0	1	1	1	-1.0
1	0	0	0	0
1	0	0	1	+1.0
1	0	1	0	+2.0
1	0	1	1	+3.0
1	1	0	0	+4.0
1	1	0	1	+5.0
1	1	1	0	+6.0
1	1	1	1	+7.0

b) VR2, VR3 ボリューム制御

VR23 VR33	VR22 VR32	VR21 VR31	VR20 VR30	ボリュームゲイン (dB)
0	0	0	0	-4.0
0	0	0	1	-3.5
0	0	1	0	-3.0
0	0	1	1	-2.5
0	1	0	0	-2.0
0	1	0	1	-1.5
0	1	1	0	-1.0
0	1	1	1	-0.5
1	0	0	0	0
1	0	0	1	+0.5
1	0	1	0	+1.0
1	0	1	1	+1.5
1	1	0	0	+2.0
1	1	0	1	+2.5
1	1	1	0	+3.0
1	1	1	1	+3.5

c) VR 4 ボリューム制御

VR 4 2	VR 4 1	VR 4 0	ボリュームゲイン (dB)
0	0	0	- 1 2
0	0	1	- 9
0	1	0	- 6
0	1	1	- 3
1	0	0	0
1	0	1	+ 3
1	1	0	+ 6
1	1	1	+ 9

注) リセット時全てのボリュームゲインは0dB, RECSWは“0”となります。

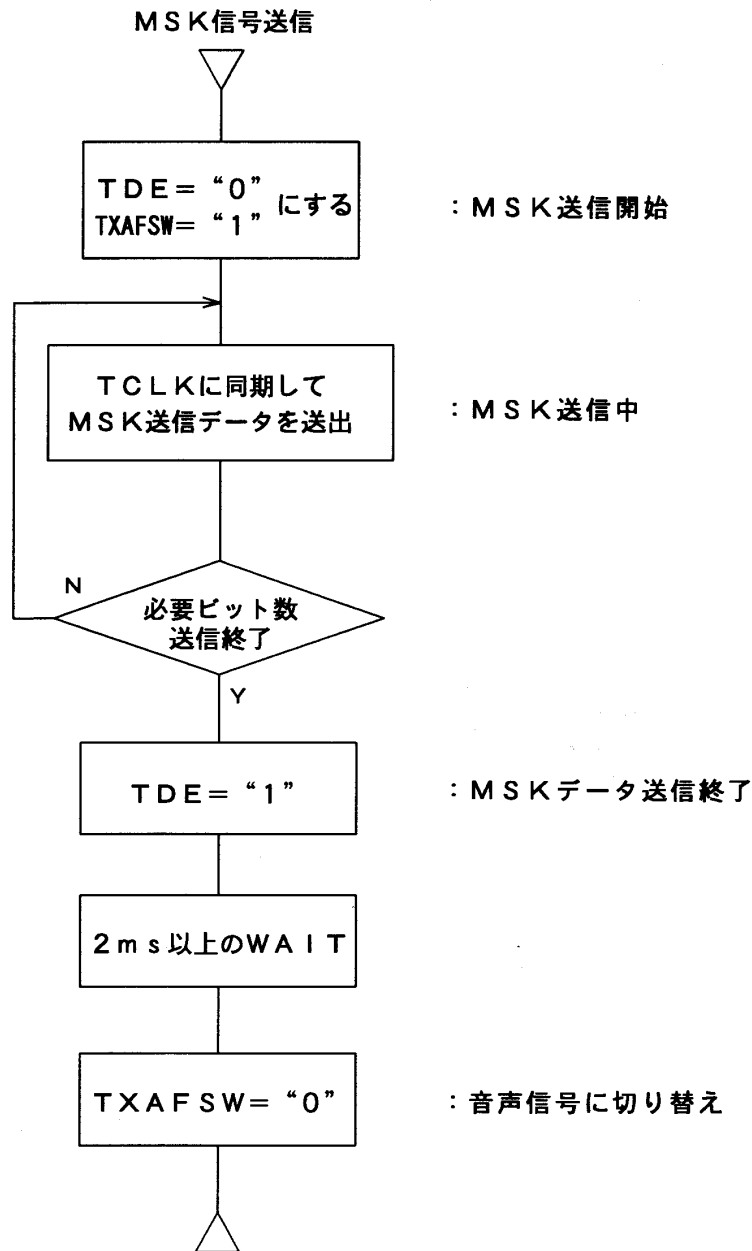
4) MSKモデム受信データ

データ							
D 7	D 6	D 5	D 4	D 3	D 2	D 1	D 0
RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0

データ名	機 能
RD 0	MSK受信データ “1” : 1.2kHz
?	“0” : 2.4kHz
RD 7	最初に受信したデータがRD 7になります。

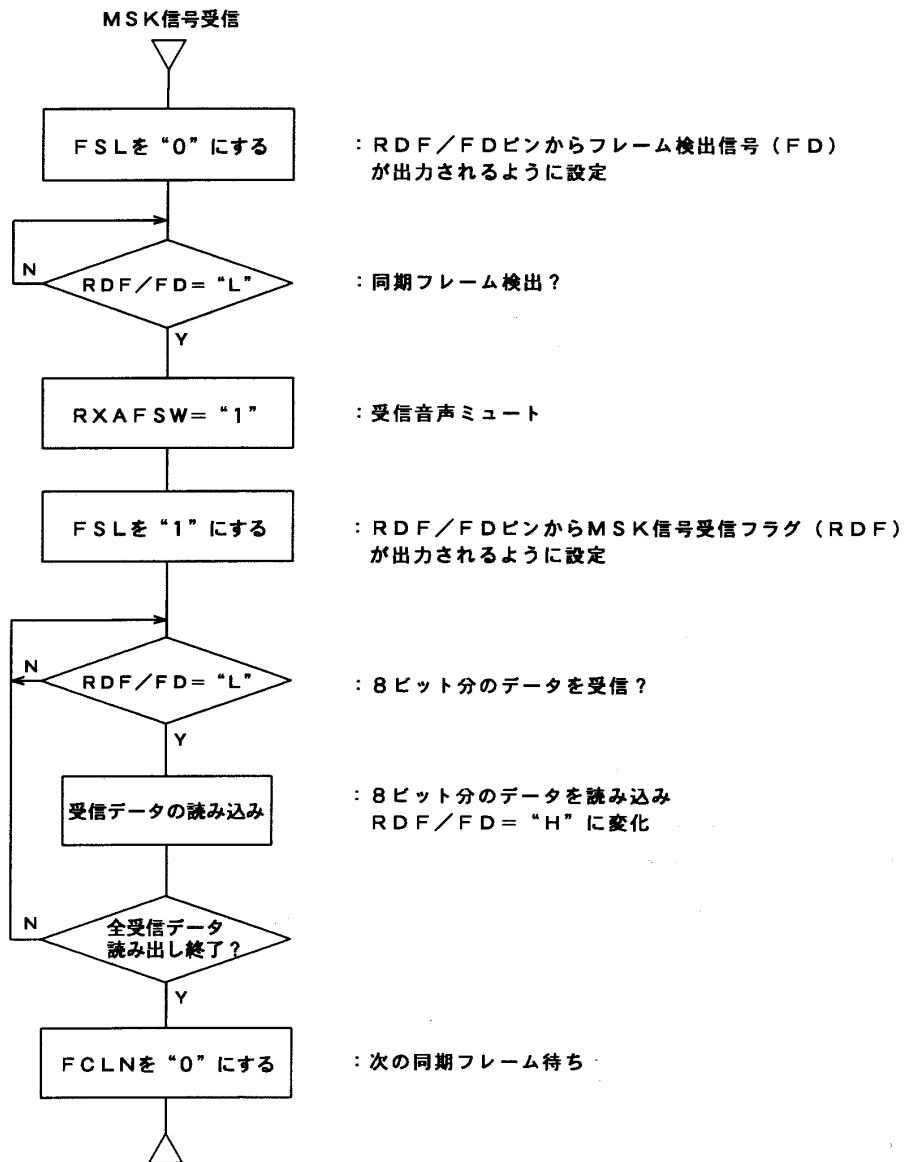
MSK モデム

MSK 信号の送信



- (1) シリアルレジスタ" TDE "を" 0 ", " TXAFSW "を" 1 "にすることによりMSK送信状態にします。
- (2) TCLKより2400Hzのクロックが出力されます。AK2361は、TCLKの立ち上がりに同期して、TDATAよりMSK送信データを読み込み、MODに出力します。
- (3) 必要とするビット数を送信したらシリアルレジスタの" TDE "を" 1 "にします。
- (4) その後、音声信号に切り替える場合は、最終ビットのMSK信号を完全に送信させるため、" TDE "を" 1 "にした後少なくとも2ms待ってからTXAFSWを" 0 "にしてください。

MSK信号の受信



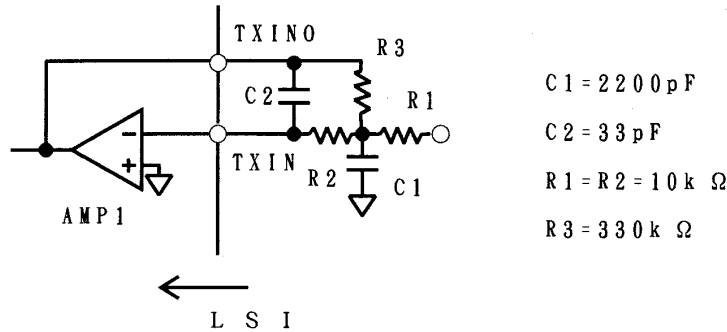
- (1) 内部レジスタ“FCLN”が“0”の時は、同期フレームを検出するまで内部ノードRDATA, RCLKは“1”固定です。
- (2) 同期フレームを検出したら、FDは“T”の間“L”となりFCLNは“1”になります。
- (3) RDATAとRCLKは同期フレームパターン以降のデータを出力し、内部バッファに蓄えます。
- (4) 8ビット分の受信データが内部バッファに入るとRDFは“L”になります。
- (5) CPUはRDFの“L”を検出したらSCLKに8ビット分のクロックを出力し、DI/Oピンより受信データ8ビット分を読み込みます。
- (6) SCLKが8クロック入力されるとRDFは“H”となります。
- (7) 以下(4)、(5)を繰り返すことにより必要なデータビット数を読み込みます。
- (8) 必要なデータを読み込んだらDIRを“H”にし、シリアルインターフェースを通じて“FCLN”を“0”にすると内部ノード, RDATA, RCLKは“1”になり、次の同期フレームを待ちます。

応用回路例

■外付け回路例

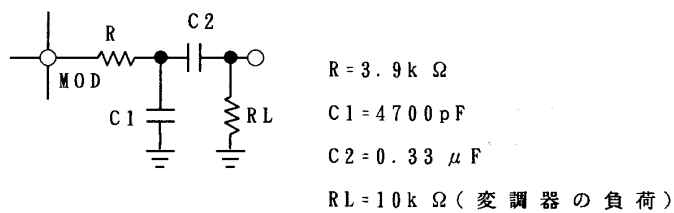
◎AMP 1

送信マイクアンプとして使用できます。ゲインは30dB以下に設定してください。100kHz以上の周波数帯域のノイズが入力される可能性がある場合は、1次または2次の折り返し防止用フィルタを構成してください。下図にゲイン30dB, カットオフ10kHz, 2次ローパスフィルタの構成例を示します。



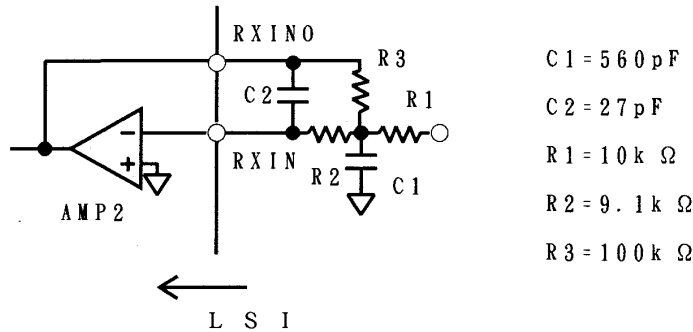
◎MOD 出力のスムージング

MODピンの出力信号に含まれる112kHzのクロック成分をカットするため1次のRCフィルタを付加してください。下図にカットオフ8.7kHz 1次ローパスフィルタの例を示します。変調器の付加が10kΩの場合信号レベルは約3.3dB減衰します。



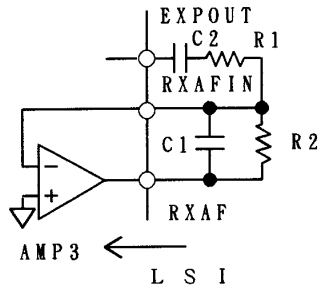
◎AMP 2

受信信号のゲイン調整と100kHz以上のノイズをカットする折り返し防止フィルタを構成するためのアンプです。ゲインは30dB以下に設定してください。下図にゲイン20dB, カットオフ40kHz, 2次ローパスフィルタの構成例を示します。



◎AMP 3

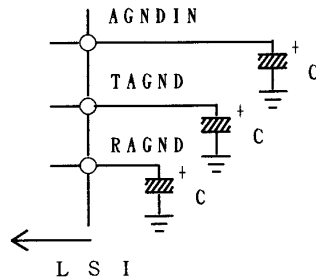
受信信号のゲイン調整およびスムージングフィルタを構成します。スムージングフィルタは、EXPOUTに含まれる448kHzのクロック成分をカットするためのものです。このアンプを用いて他からの信号を加算することもできます。下図にゲイン0dB, カットオフ19kHz, 1次ローパスフィルタの構成例を示します。



C1 = 150 pF
 C2 = 0.022 μF
 R1 = R2 = 56 kΩ

◎AGND安定化容量

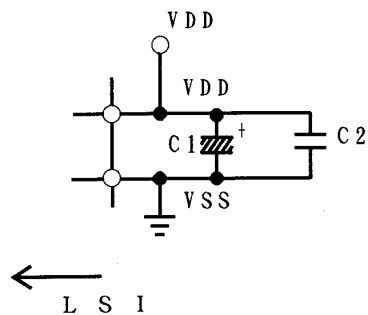
TAGND, RAGNDピンには、AGND信号の安定化のためAVSSとの間に0.3μF以上のコンデンサを接続してください。また電源に含まれるリップルの影響をなくするため、AGNDIN-AVSS間にも適当な値のコンデンサを接続してください。下図に接続例を示します。



C = 1 μF

◎電源安定化容量

電源ノイズの影響を少なくするため、VDDとVSS間にコンデンサを接続してください。



C1 = 22 μF (電解コンデンサ)
 C2 = 0.1 μF (セラミックコンデンサ)

◎水晶発振器

内蔵の発振回路を使用する場合は、3.58MHzの水晶発振子と抵抗とコンデンサを図-3のように接続してください。

他の回路やICとクロックを共通にする場合は、他の回路のクロックをAK2361のXINピンに入力します。入力クロックの振幅の“H”レベルが1.5V以上で“L”レベルが0.5V以下の場合は、図-4のように接続します。入力クロックの振幅(p-p値)が1V以下、200mV以上の場合は、図-5のようにACカップルして入力します。

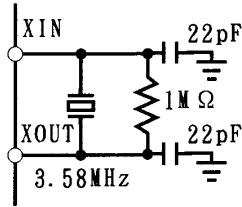


図-3

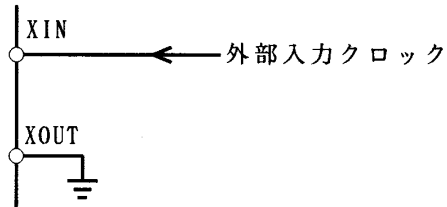


図-4

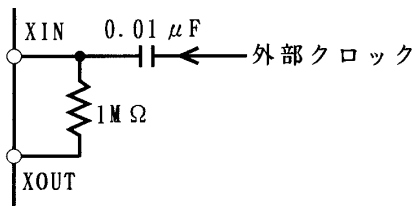
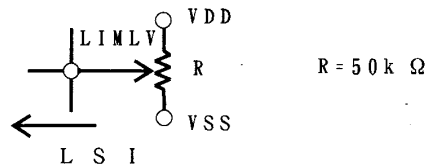


図-5

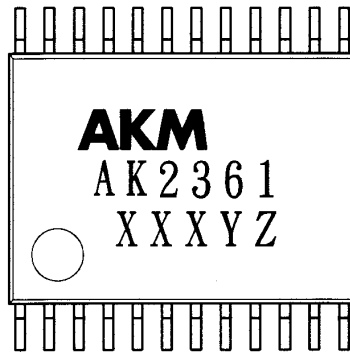
◎リミットレベル設定用抵抗

リミットレベルを外部で調整する場合、下図のようにLIMLVピンにDC電圧を加えます。加えるDC電圧はTAGNDの電圧以上とし、LIMLV-TAGND間の電圧をaVとするとTAGND±aVがリミットレベルとなります。LIMLVをオープンにすると、予め定められたリミットレベルになります。



パッケージ

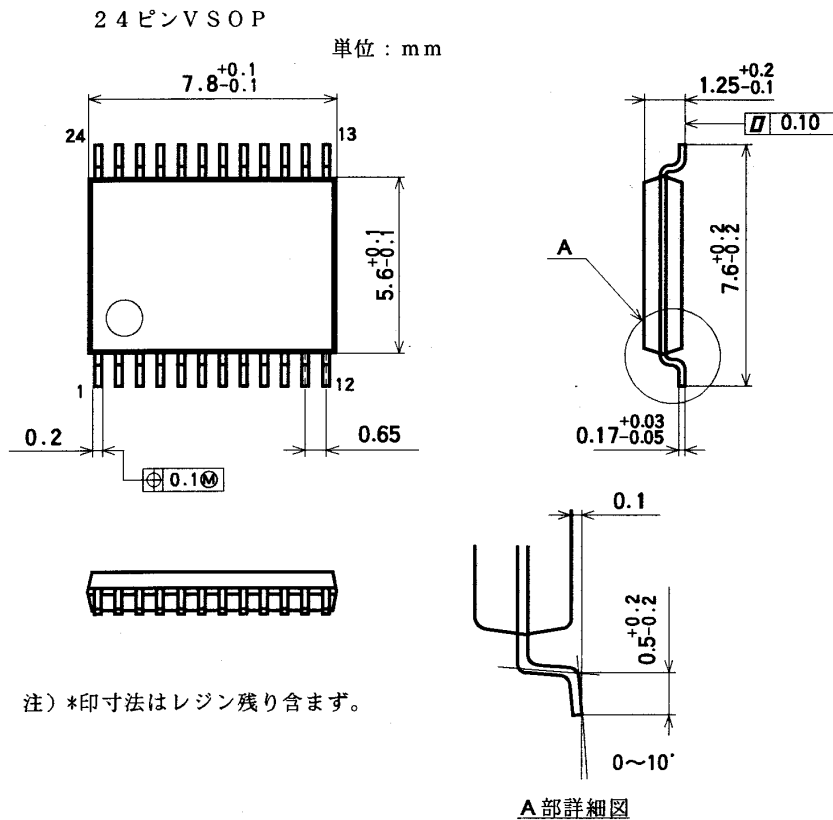
■マーキング



[XXXYZ内容]

- XXX : 製造時期
 西暦年号下1桁, 週番号2桁
- Y : 製造ロット記号
- Z : 組立地記号

■パッケージ外形寸法



注) *印寸法はレジン残り含まず。

パッケージ材質: エポキシ樹脂
リードフレーム材質: 銅
リードフレーム処理: 半田メッキ